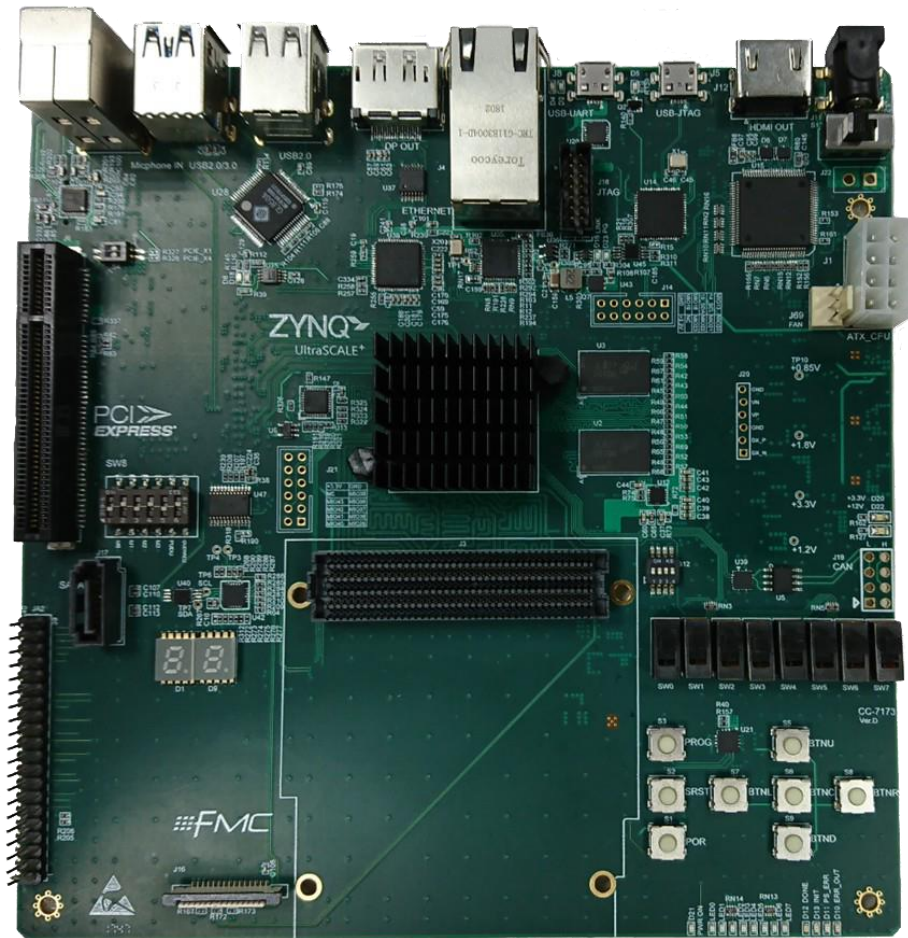


EDK-EGO-MPSoC

Hardware User Guide



(V1.1) April 3, 2020



依元素科技股份有限公司

修订纪录

版本	修订纪录	日期
V1.0	创建文档	2018/7/12
V1.1	创建文档	2020/4/3

目录

修订纪录	1
1.概述	3
1.1 产品规格	3
1.2 周边方块图	4
1.3 Bank 分配方块图	5
1.4 硬件介绍	6
2.功能详述	8
2.1 FPGA 芯片介绍	8
2.2 DIP 配置设定	10
2.3 Memory	11
2.4 USB	18
2.5 Audio	23
2.6 HDMI Video Output	24
2.7 CLOCK	26
2.8 I2C (PS_MIO14~PS_MIO17)	30
2.9 CAN (PS_MIO24~PS_MIO25)	31
2.10 DisplayPort AUX (PS_MIO27-PS_MIO30)	32
2.11 GEM3 Ethernet (PS_MIO64~PS_MIO77)	33
2.12 PS-Side: GTR Transceivers	35
2.13 Reset	40
2.14 用户 I/O	41
2.15 扩展 I/O	45
2.16 Power	50
3.板上状态指示灯功能说明	52
4.参考数据	53

1.概述

EDK-EGO-MPSoC 3EG 平台基于 Xilinx 最新 16nm 技术的 Zynq UltraScale+ MPSoC (Multiprocessor System-on-Chip) EG Devices 可程序设计组件搭建, 采用 MPSoC XCZU3EG-SFVA625-1-E 芯片其灵活的软硬件可程序设计能力以及丰富的周边和接口构建的一个可重构计算机。此芯片内嵌高达 1.2GHz 的四核 ARM Cortex-A53 APU、600MHz 的双核 ARM Cortex-R5 RPU、667MHz Mali-400 MP2 GPU, 同时片内具有 154K 可程序逻辑(PL)单元, 可针对 ADAS 与自动驾驶车辆应用、工业物联网、5G 无线通信系统以及云运算等不同应用场景、不同需求而订制不同的硬件处理模块。平台具有丰富的扩展 I/O, 包含 LPC FPGA mezzanine cards (FMC)、General-purpose input/output(GPIO) 和 PCI Express(PCIe)接口, 还有兼容 Raspberry Pi 的 GPIO 可于与 Raspberry Pi 外扩模块进行功能扩展。

1.1 产品规格

EGO-MPSoC 3EG 的规格列于下方。各个功能详细信息请参考[页数 9](#) 的功能详述。

- 系统主芯片 Xilinx® Zynq UltraScale+ MPSoC XCZU3EG-SFVA625-1-E:
 - ◆ 主要配置 QSPI Flash
 - ◆ 次要配置 Cascaded JTAG 或 microSD card
- Memory:
 - ◆ 2GB DDR4 (512M x 16bit x 2)
 - ◆ 512Mb QSPI Flash (32M x 8bit x 2)
- Interfaces:
 - ◆ JTAG Programming
 - ◆ USB-JTAG Programming
 - ◆ JTAG Programming Cable Connector
 - ◆ 10/100/1G Ethernet
 - ◆ USB-OTG 集成 USB-HUB (USB3.0 x 1, USB2.0 x 3)
 - ◆ micro SD Card Slot
 - ◆ USB-to-UART
 - ◆ USB-to-JTAG
 - ◆ One LPC FMC Connectors
 - ◆ Two GPIO Header (PS)
- PS GTR assignment:
 - ◆ SATA 3.1
 - ◆ DisplayPort
 - ◆ USB 3.0
 - ◆ PCIe x 1 Root Port
- PS Reset Push Buttons:
 - ◆ SRST_B PS reset push button
 - ◆ POR_B PS reset push button
 - ◆ PROG_B PS reset push button

- Status LEDs:
 - ◆ Power good
 - ◆ FPGA PS_DONE
 - ◆ FPGA PS_ERROR_OUT
 - ◆ FPGA PS_ERROR_STATUS
 - ◆ FPGA PS_INIT_B
- User I/O:
 - ◆ Five Push Buttons (PL)
 - ◆ Eight Switches (PL)
 - ◆ Eight LEDs (PL)
 - ◆ Two Seven-segment display
- Clocks:
 - ◆ 33.33MHz (PS)
 - ◆ 100MHz (PL)
 - ◆ 32.768 (Real-time clock, RTC)
- Display:
 - ◆ DisplayPort output
 - ◆ HDMI output
- Audio:
 - ◆ microphone line-in
 - ◆ Headphone line-out
- Raspberry Pi GPIO

1.2 周边方块图

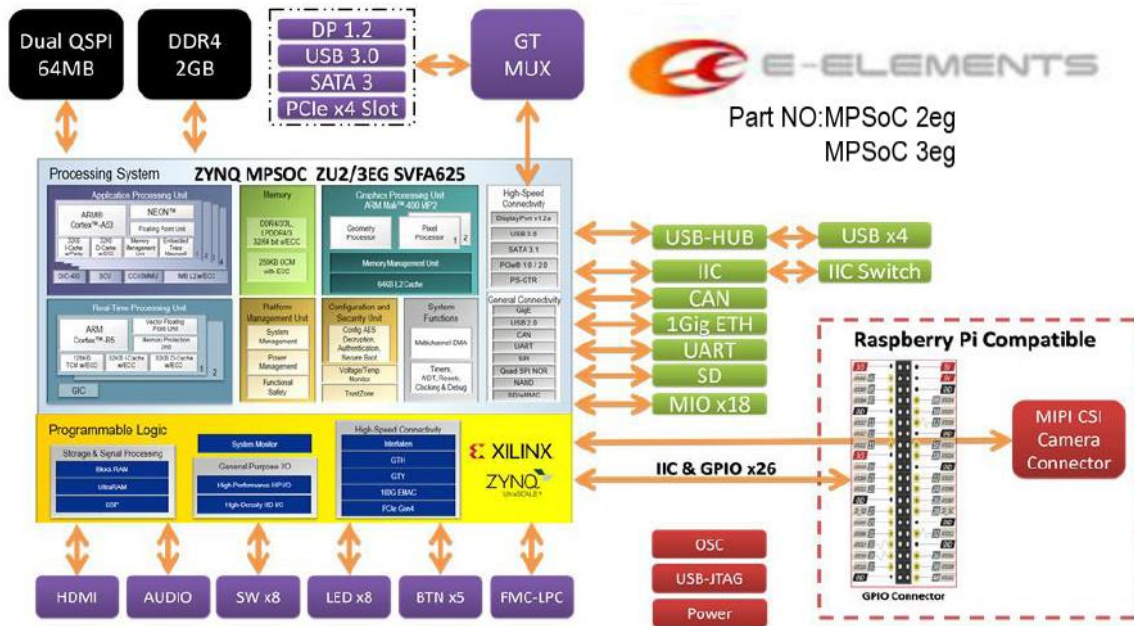


图 1 EGO-MPSoC 3eg 周边方块图

1.3 Bank 分配方块图

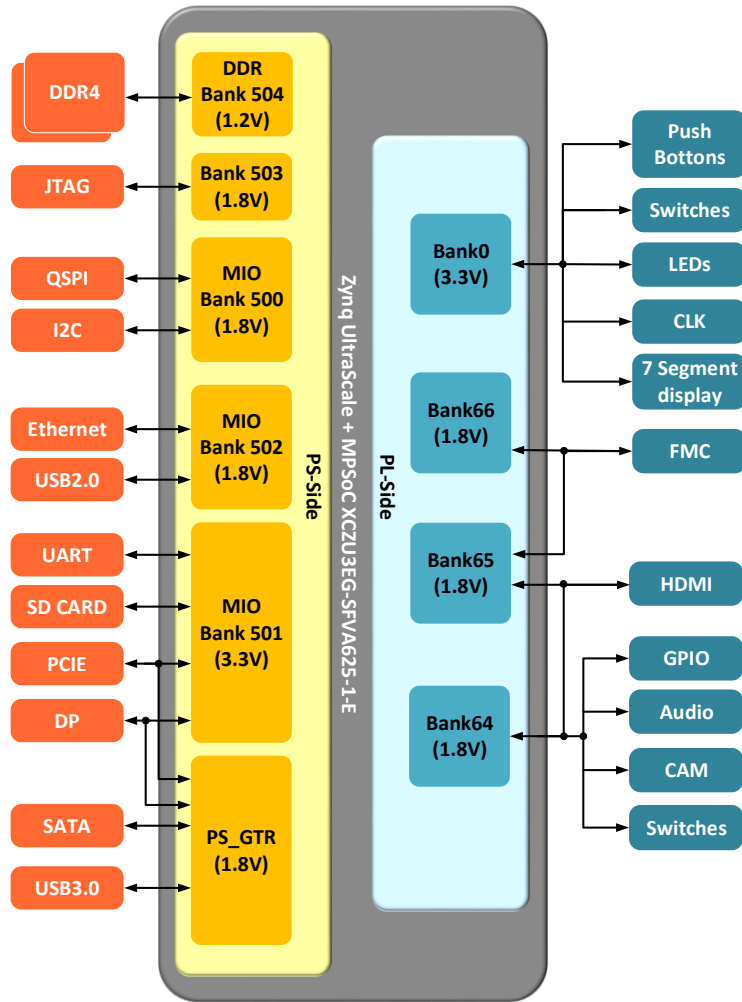


图 2 EGO-MPSoC 3eg Bank 分配方块图

1.4 硬件介绍

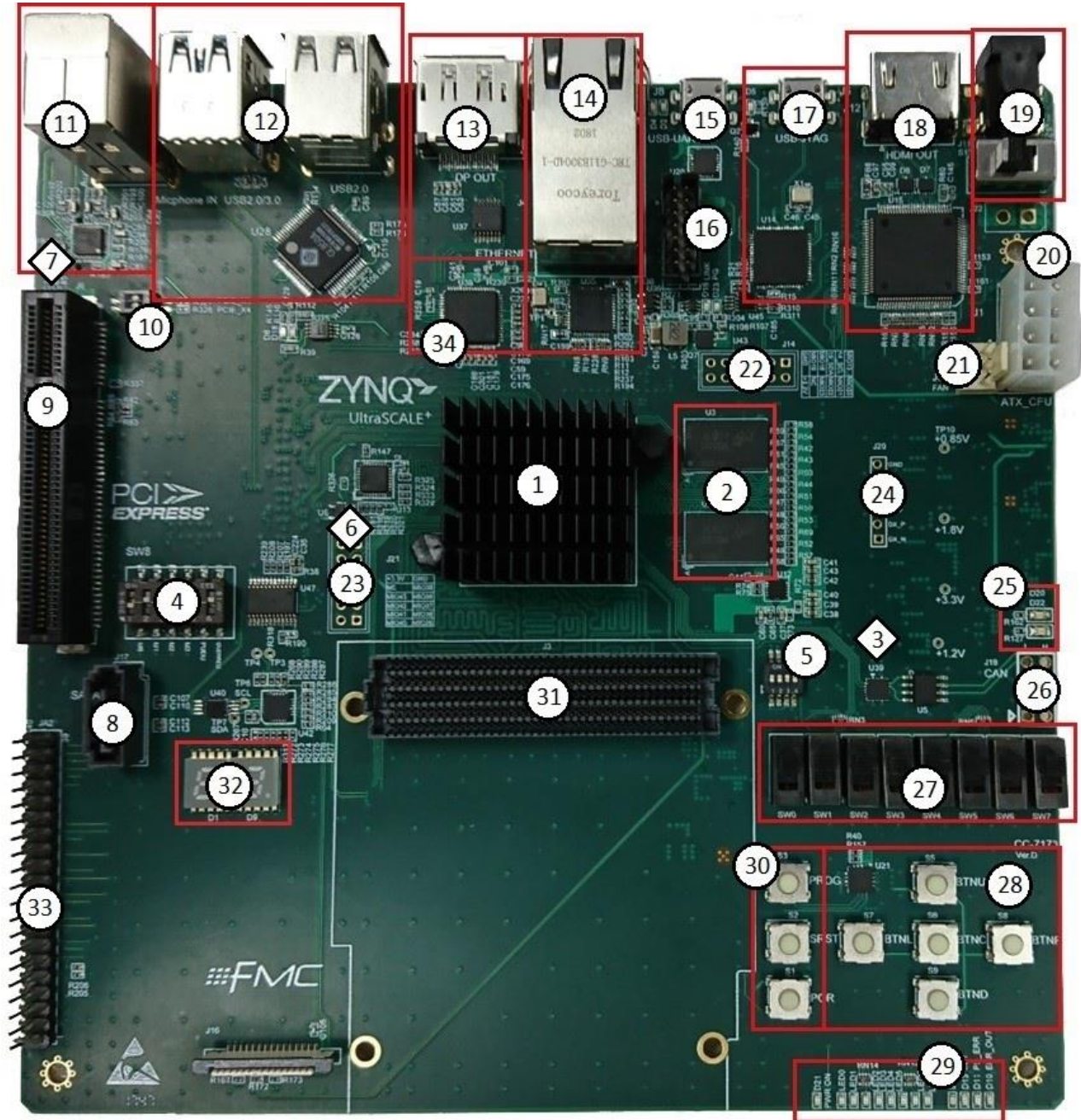


图 3 EGO-MPSoC 3EG 硬件介绍

◊饼图示表示为在板子的上板 ◊菱形图示表示为在板子的下板

表 1 硬件描述

Callout	Reference Designator	Component Description	Notes	Schematic Page Number
1	U1	Zynq UltraScale+ MPSoC EG Devices	XCZU3EG-SFVA625-1-E Xilinx	
2	U2, U3	DDR4 Component Memory, 2 GB	2 each 512Mb X 16 SDRAM, Micron Technology, MT40A512M16JY-083E	4
3	U32, U33	Quad-SPI Flash Memory, 512	2 each 32Mb x 8 FLASH - NOR	7

		Mb	Micron Technology, MT25QU256ABA1EW7-0SIT	
4	SW8	6-pole SPDT MIO DIP switch	CTS 204-6ST. 有关 FPGA Configuration Mode Select 参考表 2	8
5	S12	FMC_GA0/GA1 VADJ Select, JTAG download Select	4-pole, C&K TDA04H0SB1R	13
6	OSC2, OSC4, X10	PL_CLK, PS_CLK, PS_RTC	XTAL_3225 100MHz, XTAL_3225 33.33MHz, NDK NX3215S 32.768MHz	2, 8
7	J15	microSD card slot	microSD proconn8p	14
8	J17	SATA Slot	SATA-SMD	11
9	J6	PCIe-8X-Slot	Amphenol 10061913-102	12
10	S4	PCIe_X1/X4 Select	2-pole, C&K TDA02H0SB1R	12
11	J23, U31	Audio Jack 3.5mm 2port	Foxconn JA23333-8A3B-4F, Analog Devices Inc ADAU1761BCPZ	20
12	J9, J10	USB_OTG-to-1 X4 USB_HUB	Foxconn UB11121-8FDH-4F, Microchip USB3320C-EZK	14, 19
13	J7	DisplayPort Slot	MOLEX-47272-0001	11
14	J4, U35	10/100/1000 MHz Ethernet Transceiver, RJ45 w/magnetics	Texas Instruments DP83867IRRGZR, Bel Fuse RJ45-0826-1G1T-43-F	15
15	J8, U20	USB-to-UART	MOLEX 47642-0001, Silicon CP2105-F01-GM	17
16	J18	JTAG Cable Programming Connector	2x7/2.0 SMD	8
17	J5, U14	USB-to-JTAG	MOLEX 47642-0001, Microchip USB3320C-EZK	17
18	J12, U15	HDMI Video Output	ADI ADV7511KSTZ, Molex HDMI-CONNECTOR-1.4 47151- 001	16
19	S1, J9	Power On/Off Slide Switch, 12V DC Jack	Power SW-3P, SMT DC Jack	25
20	J1	12V DC	ATX-8P-CPU	25
21	J69	12V DC Fan	FAN_SIP3	25
22	J14	PS_MIO Connector	2 x 6P	21
23	J21	PS_MIO Connector	2 x 6P	21
24	J20	FPGA Dedicated Pins	1 x 6P	2
25	D20, D22	3.3V, 12V Power Good LED	LED0805	25
26	J19	CAN BUS Connector	2 x 4P	18

27	SW0 ~ SW7	User Switch	E-Switch SS-12F20	22
28	S5 ~ S9	User PL Push Button	E-Switch TL3304AF160QJ	22
29	LED0~LED7, D10, D11, D12, D13, D21	User LED:LED0~LED7, ERR_OUT:D10, PS_ERR: D11, DONE:D12, INIT:D13, PWR_ON:D21	LED0603	8, 22
30	S1, S2, S3	Reset Push Button	E-Switch TL3304AF160QJ	8
31	J3	FPGA Mezzanine (FMC) Card	Samtec ASP-127796-1	13
32	D1, D9	Seven-segment display	Common cathode	18
33	JA2	Raspberry Pi GPIO	2 X 20/2.54	18
34	U38	Programmable Frequency Clock	Silicon Labs SI5341B-B-GM	10

2.功能详述

2.1 FPGA 芯片介绍

EGO-MPSoC 3EG 基于 Xilinx Zynq UltraScale+ EG 系列的芯片 (型号 XCZU3EG-SFVA625-1-E), 搭载了一个 SoC 风格的集成处理系统 (PS) 与可程序设计逻辑 (PL) 在同一颗芯片上。在 PS 方面使用四核旗舰版 ARM® Cortex-A53 64bit 处理器、双核 Cortex-R5 real-time 处理器与 Mali-400 MP2 显示器、多组 DMA 通道 Controller、AMBA®互连接口、内部储存器、对外储存器接口, 专用 I/O 外围设备与接口包含 PCI Express, SATA, DisplayPort Controller, USB 3.0, Ethernet, SPI, SD/SDIO, I2C, CAN, UART 和 EMIO。Zynq UltraScale+ EG Top-Level 方块图介绍如下图 4 所示:

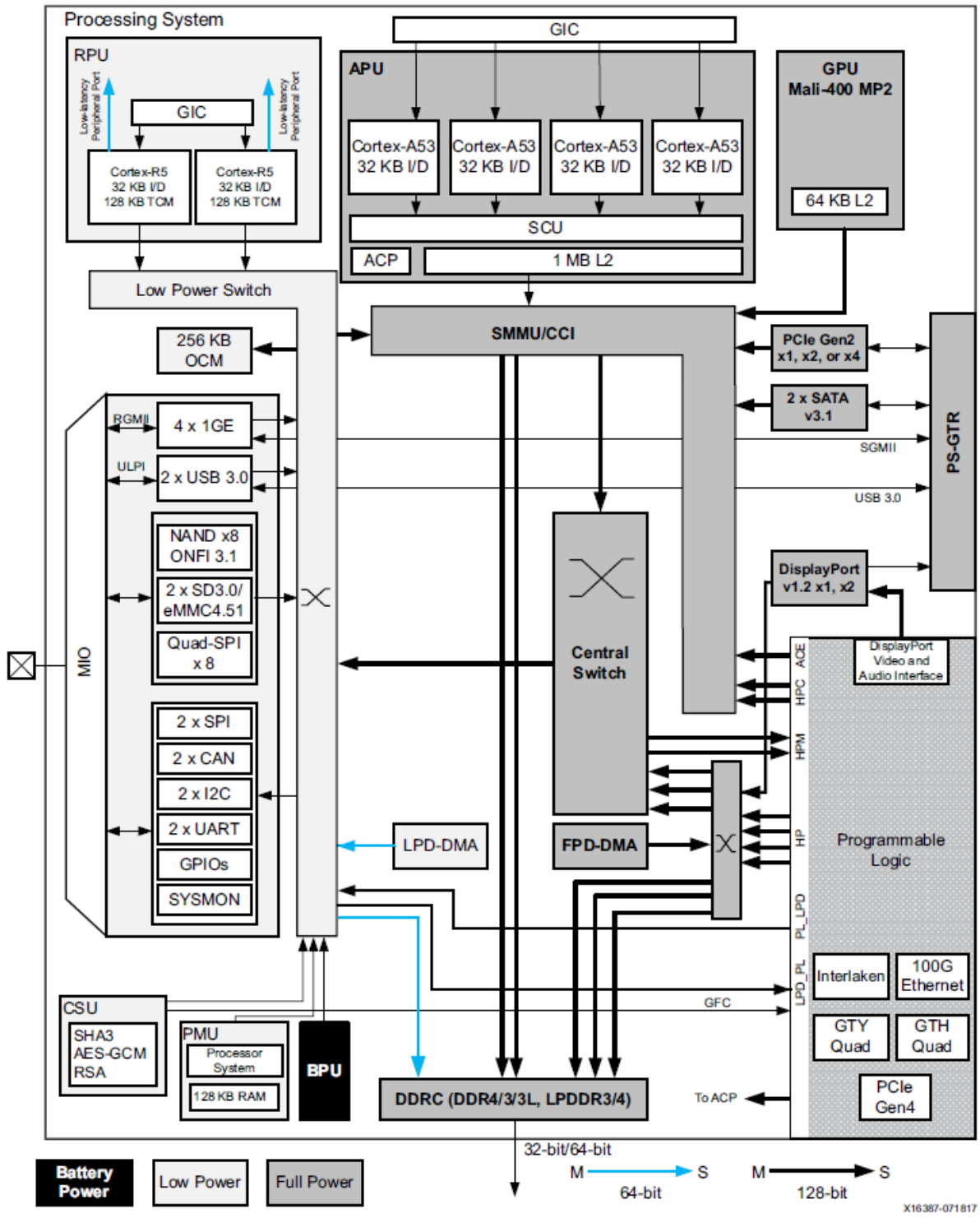


图 4 Zynq UltraScale+ MPSoC EG Top-Level 方块图 Xilinx®

Zynq UltraScale+ MPSoC EG 系列 PS 区块由 3 个主要处理单元组成:

- Cortex-A53 application processing unit (APU)-ARM v8 architecture-based 64-bit quad-core multiprocessing CPU.
- Cortex-R5 real-time processing unit (RPU)-ARM v7 architecture-based 32-bit dual real-time processing unit with dedicated tightly coupled memory (TCM).
- Mali-400 graphics processing unit (GPU)-graphics processing unit with pixel and

geometry processor and 64 KB L2 cache.

Zynq UltraScale+ MPSoC EG 系列拥有 4 个 high-speed serial I/O (HSSIO)接口支持下列通讯协议:

- Integrated block for PCI Express® interface-PCIe™ base specification version 2.1 compliant.
- SATA 3.1 specification compliant interface.
- DisplayPort interface-implements a DisplayPort source-only interface with video resolution up to 4K x 2K-30 (300 MHz pixel rate).
- USB 3.0 interface-compliant to USB 3.0 specification implementing a 5 Gb/s line rate.
- Serial GMII interface-supports a 1 Gb/s SGMII interface.

PS 和 PL 可以结合多个接口和其他接口, 有效地将硬件加速器和其他函数集成, 使处理器可以沟通 PL 的逻辑, PL 也可以存取处理器中的内存资源。

PS I/O peripheral (包含 static/flash memory 接口) 共享多达 78 pin 的多任务 I/O。

Zynq UltraScale + MPSoCs 还可以透过 EMIO 使用 PL 的 IO 作为 PS 外设 IO。

更多的 Zynq UltraScale+ MPSoC devices 可以参考 *Zynq UltraScale+ MPSoC Data Sheet: Overview* (DS891)[1], 更多的配置选项可以参考 *Zynq UltraScale+ MPSoC Technical Reference Manual* (UG1085)[2]

2.2 DIP 配置设定

- 1) 开机模式设定 DIP 开关(SW8)
- 2) PCIe PRSNT 选择 DIP 开关(S4)
- 3) FMC_GA0(Geographical Address) 设定
- 4) JTAG 烧入方式 DIP 开关(S12)

DIP 开关位置如图 3 的 4 5 10, 配置设定状态如下表 2, 3, 4:

表 2 SW8 开机模式设定状态表

Boot Mode	SW8[1]	SW8[2]	SW8[3]	SW8[4]	SW8[5]	SW8[6]	Default
Boot Devices							
JTAG Mode	0	0	0	0			0101 ⁽¹⁾
QSPI32 Flash Mode	1	0	1	1			
SD Card Mode/MMC33	0	1	0	1			
EMMC18	1	0	0	1			
configuration Devices							

Weak preconfiguration I/O pull-up resistors enabled					0		1
Weak preconfiguration I/O pull-up resistors disabled					1		
Standard PL power-on delay time						0	0
Faster PL power-on delay time						1	

(1) DIP 开关拨至 ON 为表中表示的 1，拨至 OFF 为表中表示的 0

表 3 S4 PCIe PRSNT 选择状态表

Boot Mode	S4[1]	S4[2]	Default
PCIe PRSNT select			
PCIe_X1	1		00
PCIe_X4		1	
Not used	0	0	

表 4 S12 FMC_GA0/1 VADJ 电压设定与 JTAG 烧入方式状态表

Boot Mode	S12[1]	S12[2]	S12[3]	S12[4]	Default
Set FMC GA (geographical address)					
FMC_GA0 VADJ	1			-	00
FMC_GA1 VADJ		1		-	
Set JTAG					
USB-JTAG (J5)			1	-	1
JTAG Cable Programming (J18)			0	-	

2.3 Memory

EGO-MPSoC 3EG 提供以下 Memory，位置如图 3 的 237：

- 1) DDR4 Memory: U2, U3
- 2) Quad-SPI Flash: U32, U33
- 3) microSD Card Slot: J15

2.3.1 DDR4 Memory

EGO-MPSoC 3EG 提供两组 Micron SDRAM - DDR4 512M X 16bit (U2, U3)

MT40A512M16JY-083E 芯片，提供 32bit 的数据访问位宽、总共 2GB 的储存容量。此 DDR4 接口连接到 Zynq UltraScale+ MPSoC bank 504 的 I/O，电压准位为 1.2V

Zynq UltraScale+ MPSoC (3,3)

Documentation Presets IP Location

Page Navigator

Switch To Advanced Mode

PS UltraScale+ Block Design

I/O Configuration

Clock Configuration

DDR Configuration

PS-PL Configuration

DDR Configuration

Enable DDR Controller

Load DDR Presets Custom

Clocking Options

Requested Device Frequency (MHz) 1200 Actual Device Frequency :1199.988037

DDR Controller Options

Memory Type DDR 4 Effective DRAM Bus Width 32 Bit

Components Components ECC Disabled

DDR Memory Options

Speed Bin (use tooltip) DDR4 2400R DRAM IC Bus Width (per die) 16 Bits

Cas Latency (cycles) 16 DRAM Device Capacity (per die) 8192 MBits

RAS to CAS Delay (cycles) 16 Bank Group Address Count (Bits) 1

Precharge Time (cycles) 16 Bank Address Count (Bits) 2

Cas Write Latency (cycles) 12 Row Address Count (Bits) 16

tRC (ns) 45.32 Column Address Count (Bits) 10

tRASmin (ns) 32.0 Dual Rank

tFAW (ns) 30.0 DDR Size (in Hexa) 0x7FFFFFFF (2GB)

Additive Latency (cycles) 0

> Other Options

表 5 DDR4 Memory 接脚

Schematic Net Name	FPGA Pin	DDR4 Chip		
		Pin Name	Pin Number	Chip
DDR4_DQ0	AB15	DQ0	G2	U2
DDR4_DQ1	AE15	DQ1	F7	U2
DDR4_DQ2	AC15	DQ2	H3	U2
DDR4_DQ3	AE14	DQ3	H7	U2
DDR4_DQ4	AD13	DQ4	H2	U2
DDR4_DQ5	AC13	DQ5	H8	U2
DDR4_DQ6	AB13	DQ6	J3	U2
DDR4_DQ7	AA13	DQ7	J7	U2
DDR4_DQ8	AC16	DQ8	A3	U2
DDR4_DQ9	AB16	DQ9	B8	U2
DDR4_DQ10	AD16	DQ10	C3	U2
DDR4_DQ11	AE16	DQ11	C7	U2
DDR4_DQ12	AE19	DQ12	C2	U2
DDR4_DQ13	AD18	DQ13	C8	U2
DDR4_DQ14	AB18	DQ14	D3	U2
DDR4_DQ15	AC18	DQ15	D7	U2
DDR4_DQ16	W18	DQ0	G2	U3
DDR4_DQ17	Y19	DQ1	F7	U3
DDR4_DQ18	AA19	DQ2	H3	U3
DDR4_DQ19	W16	DQ3	H7	U3

DDR4_DQ20	AA18	DQ4	H2	U3
DDR4_DQ21	AA15	DQ5	H8	U3
DDR4_DQ22	Y16	DQ6	J3	U3
DDR4_DQ23	Y15	DQ7	J7	U3
DDR4_DQ24	AE20	DQ8	A3	U3
DDR4_DQ25	AD19	DQ9	B8	U3
DDR4_DQ26	AB20	DQ10	C3	U3
DDR4_DQ27	AC19	DQ11	C7	U3
DDR4_DQ28	AE21	DQ12	C2	U3
DDR4_DQ29	AB21	DQ13	C8	U3
DDR4_DQ30	AE22	DQ14	D3	U3
DDR4_DQ31	AD22	DQ15	D7	U3
DDR4_DQS0_P	AC14	LDQS_T	G3	U2
DDR4_DQS0_N	AD14	LDQS_C	F3	U2
DDR4_DQS1_P	AD17	LDQS_T	B7	U2
DDR4_DQS1_N	AE17	LDQS_C	A7	U2
DDR4_DQS2_P	Y17	LDQS_T	G3	U3
DDR4_DQS2_N	AA17	LDQS_C	F3	U3
DDR4_DQS3_P	AC20	LDQS_T	B7	U3
DDR4_DQS3_N	AC21	LDQS_C	A7	U3
DDR4_DM0	AA14	NF/LDM_N/LDBI_N	E7	U2
DDR4_DM1	AB17	NF/UDM_N/UDBI_N	E2	U2
DDR4_DM2	W17	NF/LDM_N/LDBI_N	E7	U3
DDR4_DM3	AD21	NF/UDM_N/UDBI_N	E2	U3
DDR4_A0	U25	A0	P3	U2, U3
DDR4_A1	Y25	A1	P7	U2, U3
DDR4_A2	AB25	A2	R3	U2, U3
DDR4_A3	AA25	A3	N7	U2, U3
DDR4_A4	V25	A4	N3	U2, U3
DDR4_A5	AC25	A5	P8	U2, U3
DDR4_A6	W21	A6	P2	U2, U3
DDR4_A7	AB22	A7	R8	U2, U3
DDR4_A8	Y20	A8	R2	U2, U3
DDR4_A9	AA20	A9	R7	U2, U3
DDR4_A10	AB23	A10	M3	U2, U3
DDR4_A11	AD24	A11	T2	U2, U3
DDR4_A12	AC23	A12	M7	U2, U3
DDR4_A13	AE24	A13	T8	U2, U3
DDR4_A14	AC24	A14	L2	U2, U3
DDR4_A15	AD23	A15	M8	U2, U3

DDR4_A16	Y21	A16	L8	U2, U3
DDR4_BA0	W22	BA0	N2	U2, U3
DDR4_BA1	V20	BA1	N8	U2, U3
DDR4_BG	V19	BG0	M2	U2, U3
DDR4_ACT#	V18	ACT_N	L3	U2, U3
DDR4_ALERT#	U23	ALERT_N	P9	U2, U3
DDR4_CKE	T24	CKE	K2	U2, U3
DDR4_CS#	T25	CS_N	L7	U2, U3
DDR4_ODT	V24	ODT	K3	U2, U3
DDR4_PAR	V23	PAR	T3	U2, U3
DDR4_RESET#	U21	RESET_N	P1	U2, U3
DDR4_CLK_P	AA23	CK_T	K7	U2, U3
DDR4_CLK_N	AA24	CK_C	K8	U2, U3

2.3.2 PS_MIO

EGO-MPSoC 3EG 提供 78 Pin PS_MIO peripheral 可使用, 更多 PS_MIO 的信息可以参考 *Zynq UltraScale+ MPSoC Technical Reference Manual (UG1085)*[2]

表 6 EGO-MPSoC 3EG PS_MIO Connections

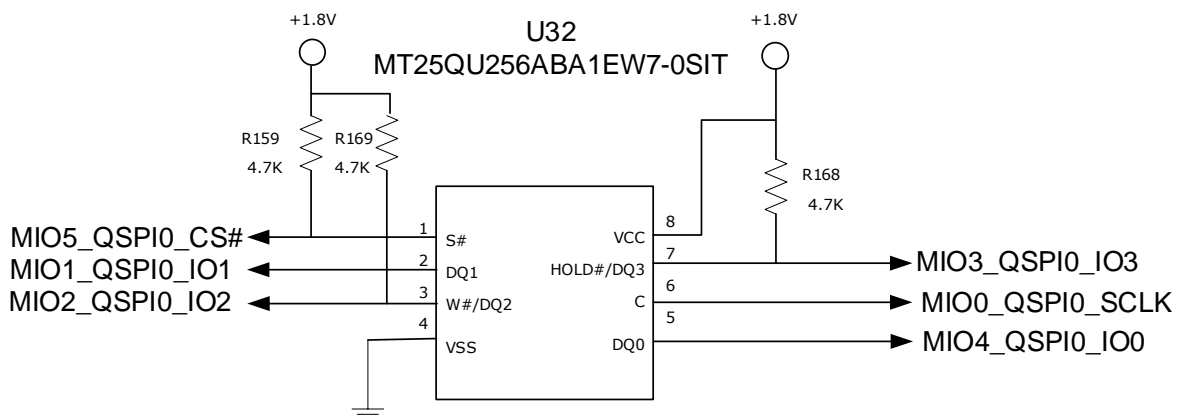
PS_MIO [0:25] Bank500	FPGA Pin	Schematic Net Name	Type
MIO_0	V10	MIO0_QSPI0_SCLK	QSPI0
MIO_1	W11	MIO1_QSPI0_IO1	QSPI0
MIO_2	V11	MIO2_QSPI0_IO2	QSPI0
MIO_3	W9	MIO3_QSPI0_IO3	QSPI0
MIO_4	Y9	MIO4_QSPI0_IO0	QSPI0
MIO_5	AA10	MIO5_QSPI0_CS#	QSPI0
MIO_6	Y10	Not Connected	NC
MIO_7	Y11	MIO7_QSPI1_CS#	QSPI1
MIO_8	AC10	MIO8_QSPI1_IO0	QSPI1
MIO_9	AB10	MIO9_QSPI1_IO1	QSPI1
MIO_10	W12	MIO10_QSPI1_IO2	QSPI1
MIO_11	AE10	MIO11_QSPI1_IO3	QSPI1
MIO_12	AB11	MIO12_QSPI1_SCLK	QSPI1
MIO_13	Y12	PS_MIO13_USB_RESET#	USB
MIO_14	AC11	MIO14_I2C0_SCL	I2C0
MIO_15	W13	MIO15_I2C0_SDA	I2C0
MIO_16	V13	MIO16_I2C1_SCL	I2C1
MIO_17	AD11	MIO17_I2C1_SDA	I2C1
MIO_18	AB12	PS_MIO18_ETH_RESET#	GEM3
MIO_19	AE11	PS_MIO19	GPIO
MIO_20	AA12	PS_MIO20	GPIO

MIO_21	AD12	PS_MIO21	GPIO
MIO_22	W14	PS_MIO22	GPIO
MIO_23	V14	PS_MIO23	GPIO
MIO_24	Y14	MIO24_CAN_TX	CAN
MIO_25	AE12	MIO25_CAN_RX	CAN
PS_MIO [26:51] Bank501			
MIO_26	H13	PS_MIO26	GPIO
MIO_27	G13	MIO27_DP_AUX_OUT	DPAUX
MIO_28	H14	MIO28_DP_HPD	DPAUX
MIO_29	B13	MIO29_DP_OE	DPAUX
MIO_30	A13	MIO30_DP_AUX_IN	DPAUX
MIO_31	C13	MIO31_PCIE_RESET#	PCIE
MIO_32	D13	MIO32_UART1_TXD	UART1
MIO_33	F13	MIO33_UART1_RXD	UART1
MIO_34	E14	MIO34_UART0_RXD	UART0
MIO_35	F14	MIO35_UART0_TXD	UART0
MIO_36	D14	PS_MIO36	GPIO
MIO_37	H15	PS_MIO37	GPIO
MIO_38	C14	PS_MIO38	GPIO
MIO_39	A14	PS_MIO39	GPIO
MIO_40	G15	PS_MIO40	GPIO
MIO_41	A15	PS_MIO41	GPIO
MIO_42	F15	PS_MIO42	GPIO
MIO_43	B15	PS_MIO43	GPIO
MIO_44	E15	MIO44_SDIO_WP	SDIO
MIO_45	H16	MIO45_SDIO_CD	SDIO
MIO_46	C15	MIO46_SDIO_D0	SDIO
MIO_47	B16	MIO47_SDIO_D1	SDIO
MIO_48	C16	MIO48_SDIO_D2	SDIO
MIO_49	G16	MIO49_SDIO_D3	SDIO
MIO_50	E16	MIO50_SDIO_CMD	SDIO
MIO_51	D16	MIO51_SDIO_CLK	SDIO
PS_MIO [52:77] Bank502			
MIO_52	G17	MIO52_USB_CLK	USB
MIO_53	E17	MIO53_USB_DIR	USB
MIO_54	F17	MIO54_USB_D2	USB
MIO_55	B17	MIO55_USB_NXT	USB
MIO_56	D17	MIO56_USB_D0	USB
MIO_57	A17	MIO57_USB_D1	USB

MIO_58	A18	MIO58_USB_STP	USB
MIO_59	B18	MIO59_USB_D3	USB
MIO_60	A19	MIO60_USB_D4	USB
MIO_61	C18	MIO61_USB_D5	USB
MIO_62	C19	MIO62_USB_D6	USB
MIO_63	D18	MIO63_USB_D7	USB
MIO_64	F18	MIO64_PHY_TX_CLK	GEM3
MIO_65	A20	MIO65_PHY_TX_D0	GEM3
MIO_66	D19	MIO65_PHY_TX_D1	GEM3
MIO_67	H18	MIO65_PHY_TX_D2	GEM3
MIO_68	G18	MIO65_PHY_TX_D3	GEM3
MIO_69	B20	MIO69_PHY_TX_CTRL	GEM3
MIO_70	C20	MIO70_PHY_RX_CLK	GEM3
MIO_71	E19	MIO71_PHY_RX_D0	GEM3
MIO_72	E20	MIO71_PHY_RX_D1	GEM3
MIO_73	F20	MIO71_PHY_RX_D2	GEM3
MIO_74	G20	MIO71_PHY_RX_D3	GEM3
MIO_75	F19	MIO75_PHY_RX_CTRL	GEM3
MIO_76	H20	MIO76_PHY_MDC	GEM3
MIO_77	H19	MIO77_PHY_MDIO	GEM3

2.3.3 QSPI Flash

EGO-MPSoC 3EG 提供两颗 Micron 的 MT25QU256ABA1EW7-0SIT NOR Flash 芯片(U32, U33)总容量为 512Mb(32 M x 8bit x 2), 供 MPSoC 系统保存启动映像档案。为了获得更高的性能, 两个 Quad-SPI 器件并联连接并提供 8-bit data bus 来使用于 booting 与 configuration, 此接口初始被用于支持 QSPI32 boot mode。该 Quad SPI 接口连接到 Zynq UltraScale+ MPSoC bank 500 的 I/O, 电压准位为 3.3V



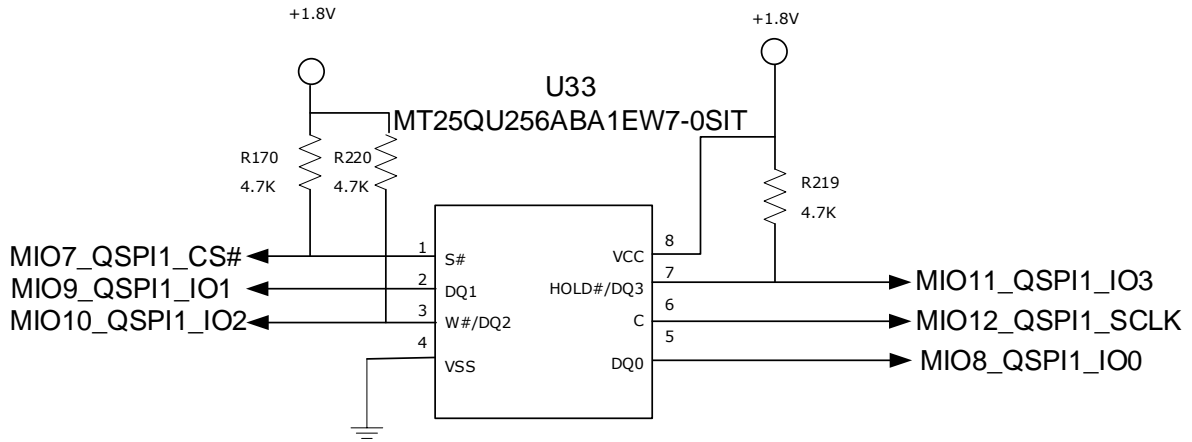


图 5 QSPI Flash

表 7 QSPI Flash 接脚

Schematic Net Name	FPGA Pin	QPSI Flash		
		Pin Name	Pin Number	Chip
MIO0_QSPI0_SCLK	V10	C	6	U32
MIO1_QSPI0_IO0	W11	DQ0	5	U32
MIO2_QSPI0_IO1	V11	DQ1	2	U32
MIO3_QSPI0_IO2	W9	DQ2/W#	3	U32
MIO4_QSPI0_IO3	Y9	DQ3/HOLD#	7	U32
MIO5_QSPI0_CS#	AA10	S#	1	U32
MIO7_QSPI0_SCLK	Y11	C	6	U33
MIO8_QSPI0_IO0	AC10	DQ0	5	U33
MIO9_QSPI0_IO1	AB10	DQ1	2	U33
MIO10_QSPI0_IO2	W12	DQ2/W#	3	U33
MIO11_QSPI0_IO3	AE10	DQ3/HOLD#	7	U33
MIO12_QSPI0_CS#	AB11	S#	1	U33

2.3.4 microSD Card Interface

EGO-MPSoC 3EG 提供了一个 secure digital input/output(SDIO)的接口，提供给用户做为非挥发性的数字存取记忆卡。此接口初始被用于支持 SD1_LS boot mode。此 SDIO 讯号连接在 Zynq UltraScale+ MPSoC Bank 501 的 I/O，电压准位为 3.3V。

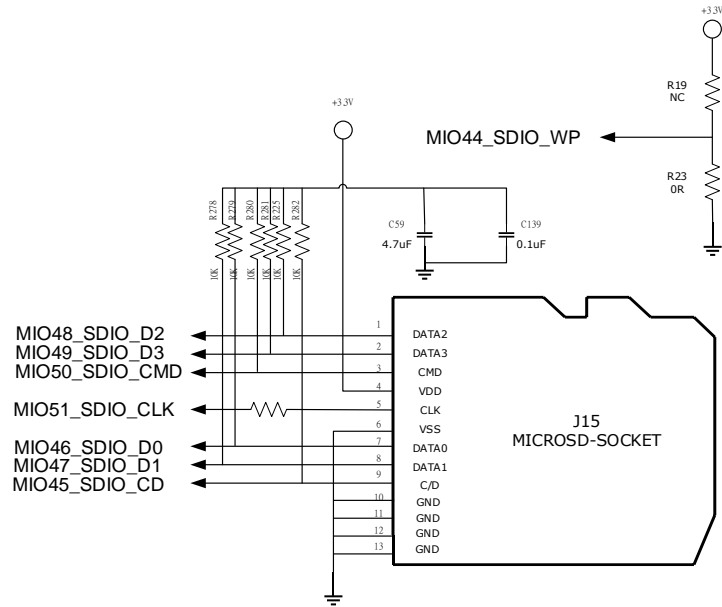


图 6 microSD Card Interface

表 8 microSD Card Interface 接脚

Schematic Net Name	FPGA Pin	microSD Card Interface	
		Pin Name	Pin Number
MIO44_SDIO_WP	E15	-	NC
MIO45_SDIO_CD	H16	C/D	9
MIO46_SDIO_D0	C15	DATA0	7
MIO47_SDIO_D1	B16	DATA1	8
MIO48_SDIO_D2	C16	DATA2	1
MIO49_SDIO_D3	G16	DATA3	2
MIO50_SDIO_CMD	E16	CMD	3
MIO51_SDIO_CLK	D16	CLK	5

2.4 USB

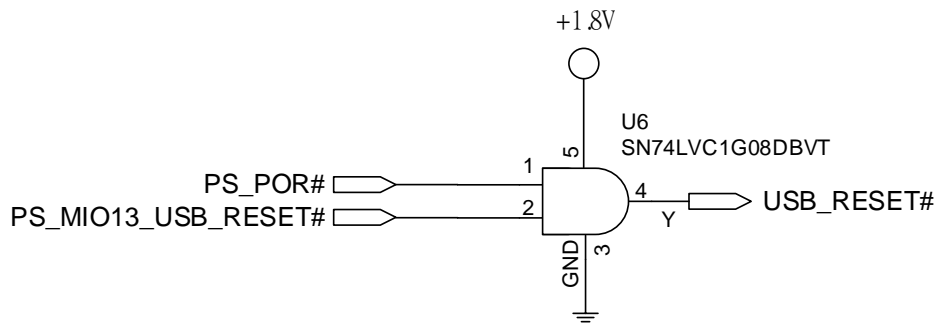
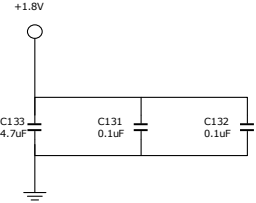
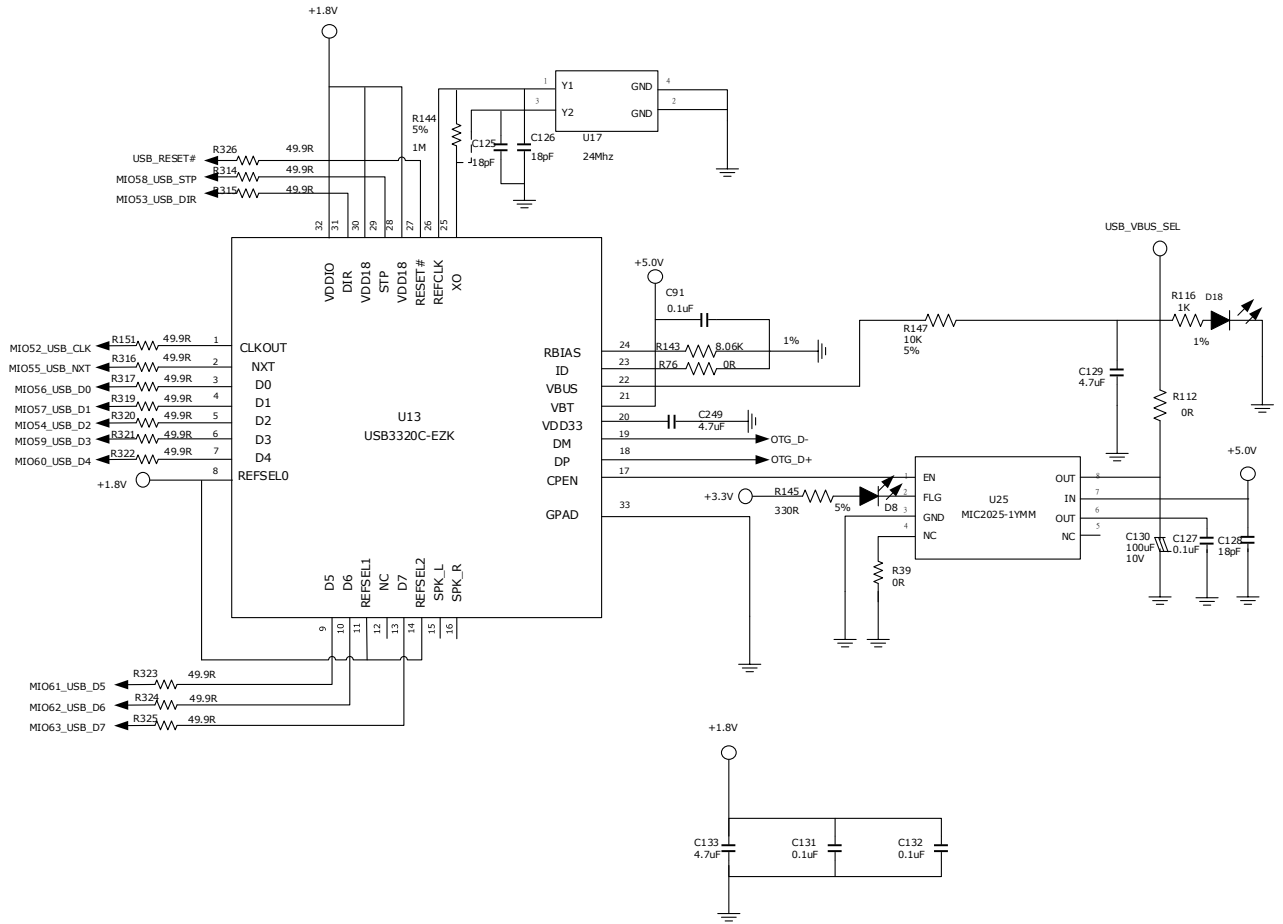
EGO-MPSoC 3EG 提供以下 USB 接口，位置如图 3 的 121517：

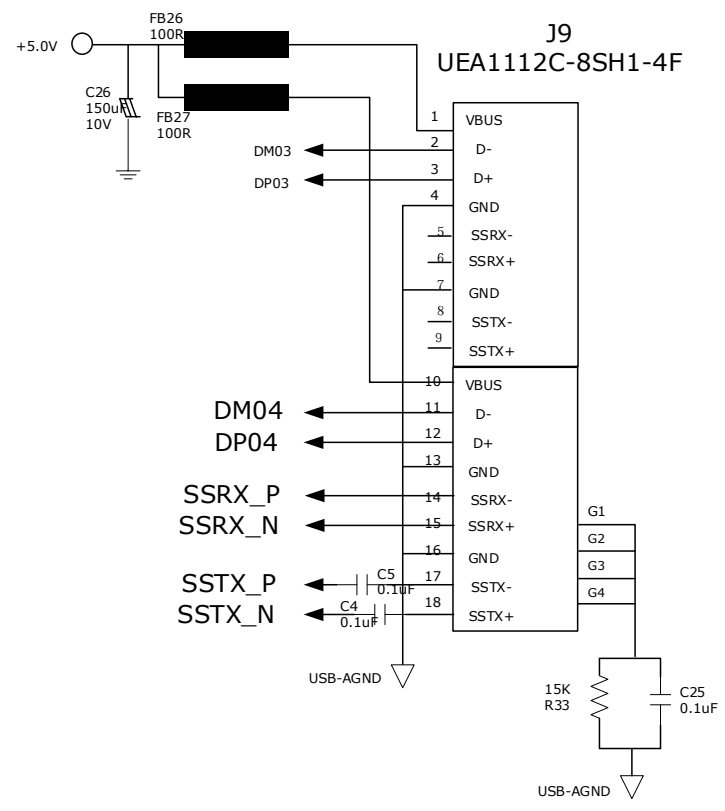
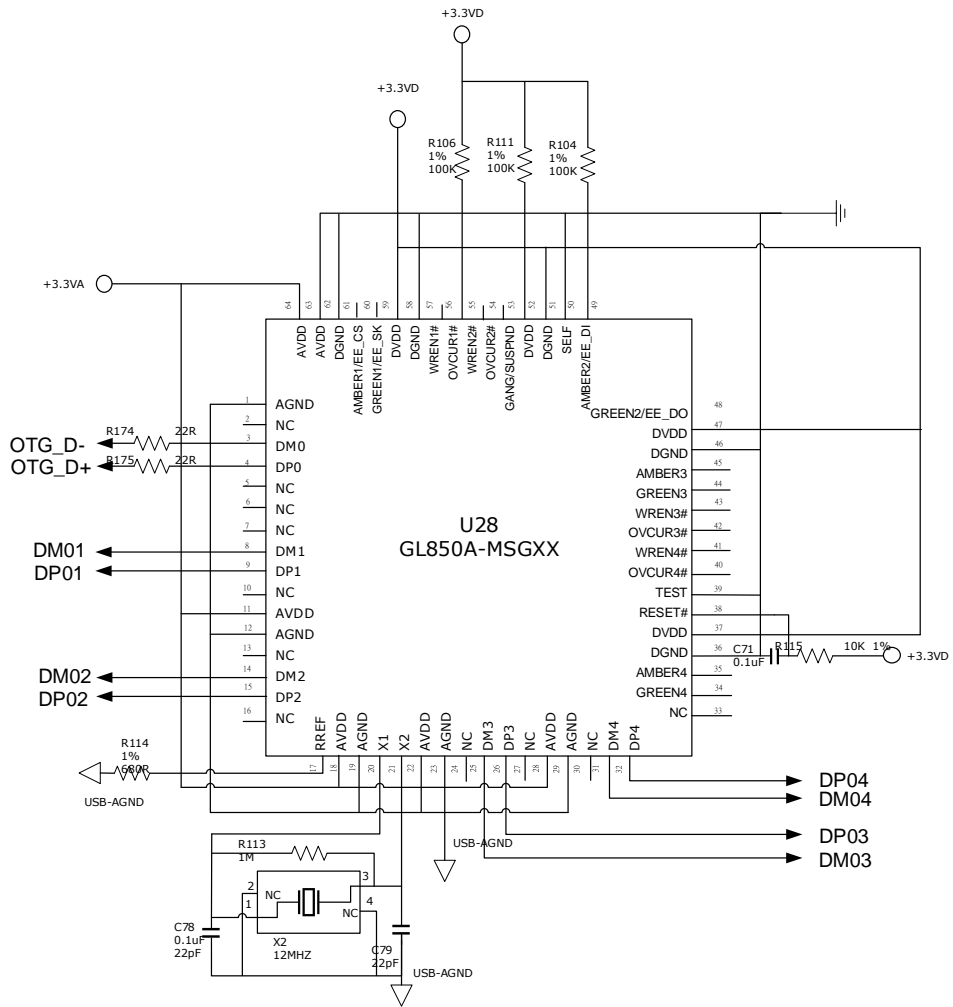
- 1 对 4 USB HUB: J9、J10
- USB-to-UART: J8
- USB-to-JTAG: J5

2.4.1 USB 3.0 Transceiver and USB 2.0 ULPI PHY

EGO-MPSoC 3EG 提供 3 个 USB2.0 与 1 个 USB3.0 的接口，支持 USB Host 和 USB OTG 功能。透过 UTMI+ low pin interface (ULPI) USB2.0 PHY 芯片(USB3320C-EZK)再由 USB HUB Controller 芯片(GL850A-MSGXX)扩展成四个 USB2.0 讯号，其中三个直接透过 USB2.0 Type-A Connector (J9 下方 USB 接口,J10)直接输出，而 USB3.0 由 PS 端提供一组 GTR 高速数据收发器，由 USB3.0 Type-A Connector (J9 上方 USB 接口)输出。该 USB OTG 接口连接到 Zynq UltraScale+ MPSoC bank 500, 502 的 I/O，电压准位为 1.8V。其 D8 为 USB 接口的连接指示

灯, D18 为 USB VBUS 传输讯号的指示灯。





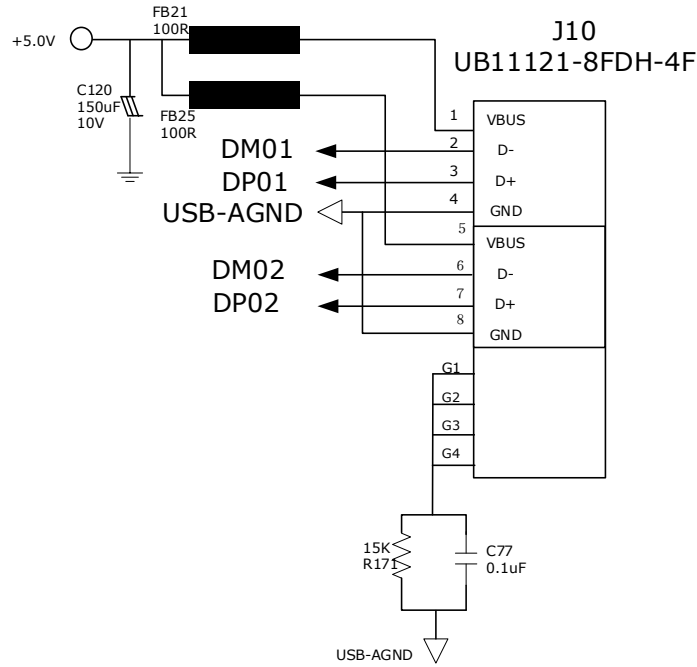


图 7 USB3.0, USB2.0 Slot

表 9 USB3.0, USB2.0 Slot 脚位

Schematic Net Name	USB3320C-EZK(U13)		FPGA Pin
	Pin Number	Pin Name	
MIO56_USB_D0	3	D0	D17(PS_MIO56)
MIO57_USB_D1	4	D1	A17(PS_MIO57)
MIO54_USB_D2	5	D2	F17(PS_MIO54)
MIO59_USB_D3	6	D3	B18(PS_MIO59)
MIO60_USB_D4	7	D4	A19(PS_MIO60)
MIO61_USB_D5	9	D5	C18(PS_MIO61)
MIO62_USB_D6	10	D6	C19(PS_MIO62)
MIO63_USB_D7	13	D7	D18(PS_MIO63)
MIO52_USB_CLK	1	CLKOUT	G17(PS_MIO52)
MIO55_USB_NXT	2	NXT	B17(PS_MIO55)
MIO58_USB_STP	29	XTP	A18(PS_MIO58)
MIO53_USB_DIR	31	DIR	E17(PS_MIO53)
USB_RESET#	27	RESET#	Y13(PS_MIO13)

2.4.2 USB-to-UART

EGO-MPSoC 3EG 提供了一个 USB-to-Dual-UART Bridge port 的功能，经由 microUSB (J8)接口输入，透过一颗 CP2105-F01-GM 芯片将 USB 协议转换为 Dual UART。此 UART 讯号连接在

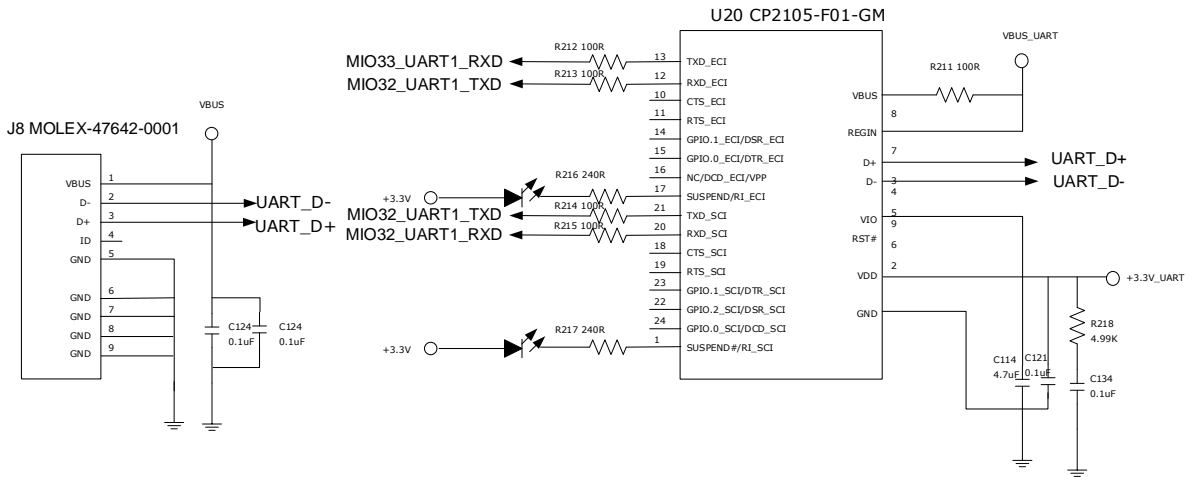


图 8 USB-to-UART

表 10 USB-to-UART 脚位

Schematic Net Name	CP2105-F01-GM (U20)		FPGA Pin
	Pin Number	Pin Name	
UART_D+	3	D+	
UART_D-	4	D-	
	12	RXD_ECI	D13(PS_MIO32)
	13	TXD_ECI	F13(PS_MIO33)
	20	RXD_SCI	E14(PS_MIO35)
	21	TXD_SCI	F14(PS_MIO34)

2.4.3 USB-to-JTAG

EGO-MPSoC 43EG 提供了一个 USB-to-JTAG Bridge port 的功能，经由 microUSB (J5)接口输入，透过一颗 FT2232HQ 芯片将 USB 协议转换得 JTAG。此 JTAG 讯号连接在 XCZU3EG MPSoC PS 端。由 S12 选择 JTAG OUTPUT ENABLE 来设定由 microUSB (J5)接口输入或 JTAG Cable Programming Connector(J18)输入 JTAG，请参考表 4。

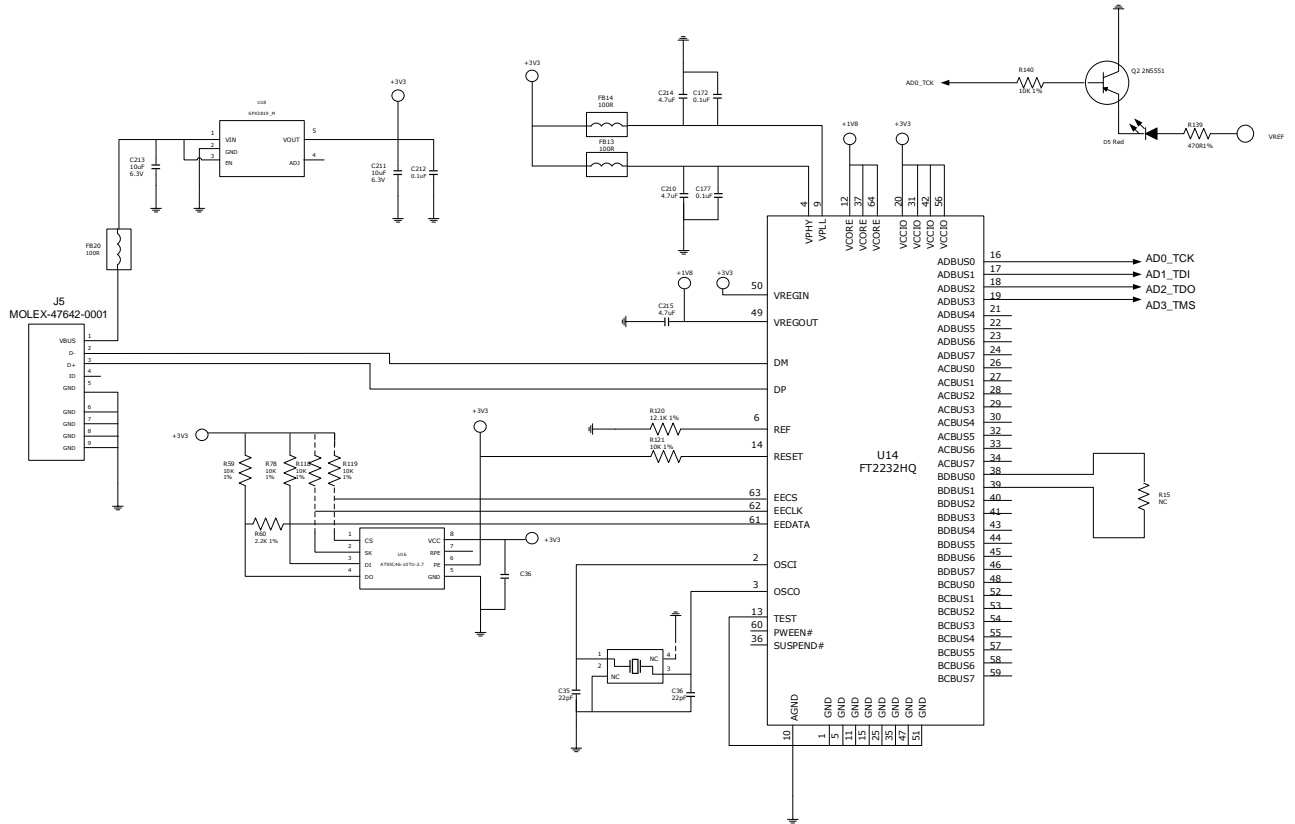


图 9 USB-to-JTAG

表 11 USB-to-JTAG 脚位

Schematic Net Name	FPGA Pin
AD0_TCK	K16
AD1_TDI	L15
AD2_TDO	L17
AD2_TMS	L18

2.5 Audio

EGO-MPSoC 3EG 平台提供了 Audio 输入与输出接口(J23)，透过 ADAU1761 进行配置，支持 42KHz 立体音讯，ADC 与 DAC 支持 24bit 8KHz 至 96KHz 的采样率与音量控制。芯片配置使用 I2C，音频数据透过 I2C 进行传输。此 Audio 接口连接到 Zynq UltraScale+ MPSoC bank 64 的 I/O，电压准位为 1.8V。

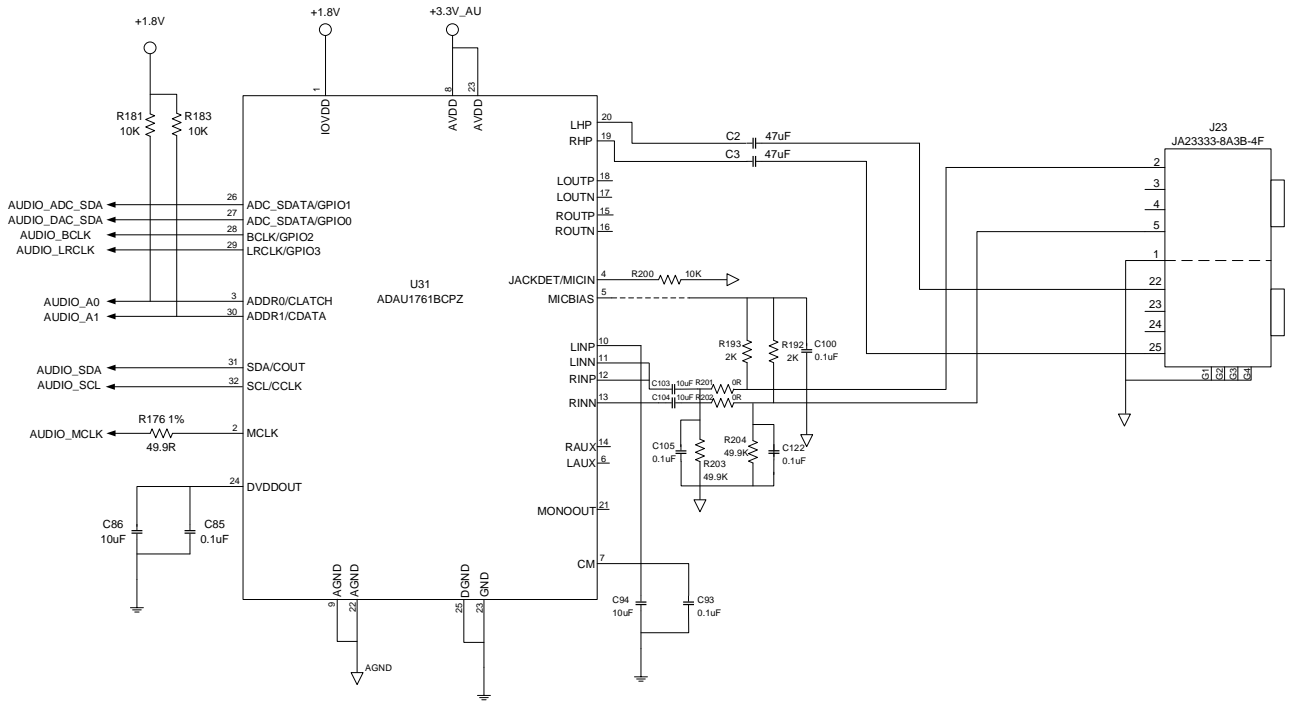


图 10 Audio

表 12 Audio 接脚

Schematic Net Name	FPGA Pin
AUDIO_ADC_SDA	AE6
AUDIO_DAC_SDA	AD9
AUDIO_BCLK	AE9
AUDIO_LRCLK	AD6
AUDIO_A0	AD5
AUDIO_A1	AC9
AUDIO_SCL	V13(PS_MIO16)
AUDIO_SDA	AD11(PS_MIO17)
AUDIO_MCLK	AC8

2.6 HDMI Video Output

EGO-MPSoC 3EG 提供了一个 HDMI OUT 的接口，使用 ADI 公司 ADV7511KSTZ 芯片(U12)实现了 HDMI 输出显示功能。ADV7511 支持通过 24 位输入数据进行 1080P 60Hz, YCbCr 4: 2: 2 编码。此 HDMI 接口连接到 Zynq UltraScale+ MPSoC bank 64, 65 的 I/O, 电压准位为 1.8V。EGO-MPSoC 3EG 支持 HDMI 接口如下:

- 1) 24 位 data
- 2) 独立的 VSYNC, HSYNC
- 3) 单端输入 Clock
- 4) 中断输出
- 5) I2C
- 6) SPDIF

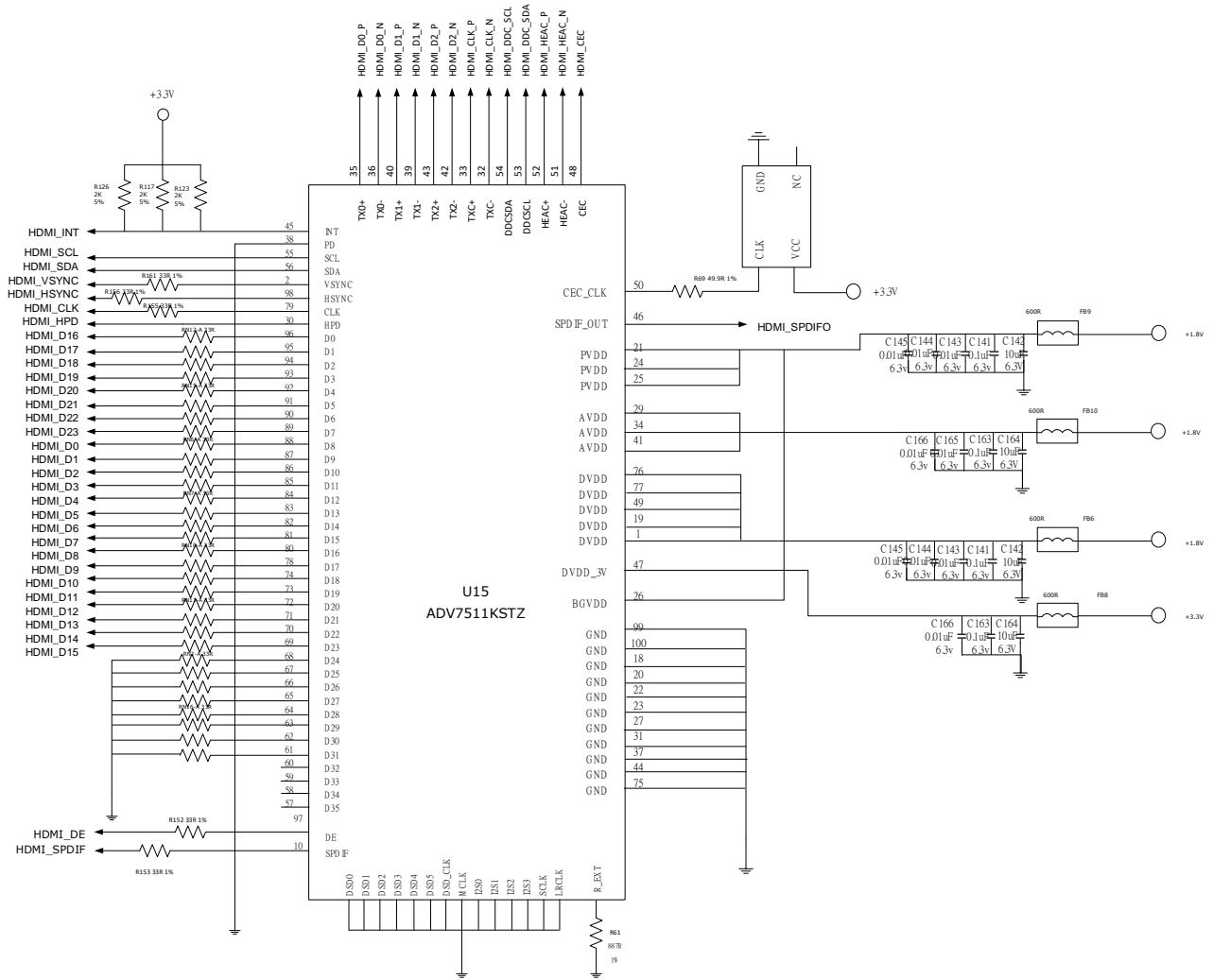


图 11 HDMI Codec Circuit

表 13 HDMI 接脚

Schematic Net Name	ADV7511KSTZ (U15)		FPGA Pin
	Pin Number	Pin Name	
HDMI_D0_P	36	TX0+	
HDMI_D0_N	35	TX0-	
HDMI_D1_P	40	TX1+	
HDMI_D1_N	39	TX1-	
HDMI_D2_P	43	TX2+	
HDMI_D2_P	42	TX2-	
HDMI_CLK_P	33	TXC+	
HDMI_CLK_N	32	TXC-	
HDMI_HEAC_P	52	HEAC+	
HDMI_HEAC_N	51	HEAC-	
HDMI_HPD	30	HPD	
HDMI_CEC	48	CEC	

HDMI_DDC_SCL	53	DDCSCL	
HDMI_DDC_SDA	54	DDCSDA	
HDMI_INT	45	INT	AD8
HDMI_SCL	55	SCL	AC11(PS_MIO14)
HDMI_SDA	56	SDA	W13(PS_MIO15)
HDMI_VSYNC	2	VSYNC	AD7
HDMI_HSYNC	98	HSYNC	AE7
HDMI_CLK	79	CLK	J6
HDMI_DE	97	DE	J7
HDMI_SPDIF	10	SPDIF	AB6
HDMI_SPDIFO	46	SPDIFO	AC6
HDMI_D0	88	D8	M3
HDMI_D1	87	D9	L3
HDMI_D2	86	D10	N4
HDMI_D3	85	D11	N3
HDMI_D4	84	D12	K1
HDMI_D5	83	D13	J1
HDMI_D6	82	D14	M2
HDMI_D7	81	D15	M1
HDMI_D8	80	D16	J3
HDMI_D9	78	D17	J2
HDMI_D10	74	D18	L2
HDMI_D11	73	D19	K2
HDMI_D12	72	D20	L4
HDMI_D13	71	D21	M7
HDMI_D14	70	D22	M6
HDMI_D15	69	D23	L5
HDMI_D16	96	D0	N5
HDMI_D17	95	D1	M5
HDMI_D18	94	D2	K6
HDMI_D19	93	D3	K5
HDMI_D20	92	D4	L7
HDMI_D21	91	D5	K7
HDMI_D22	90	D6	K4
HDMI_D23	89	D7	J4

2.7 CLOCK

EGO-MPSoC 3EG 提供以下 Clock Source 给 XCZU3EG MPSoC, 位置如图 3 的 34:

- PS 端 Clock Source: OSC4, X10
- PL 端 Clock Source: OSC2

- Programmable Frequency Clocks: U38

2.7.1 Processing System Clock Source

Processing System (PS)端的 Clock 来源是 33.33333MHz 的石英振荡器 OSC4。此 PS Clock 连接到 Bank 503, 电压准位为 1.8V。

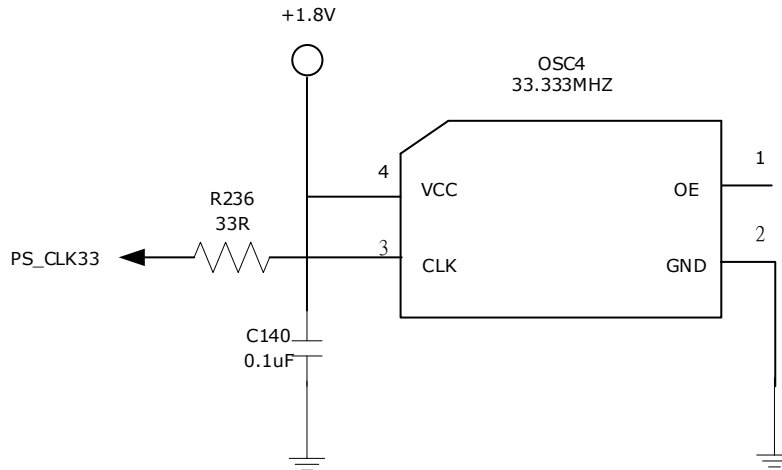


图 12 Processing System Clock Source

表 14 Processing System Clock Source 接脚

Schematic Net Name	FPGA Pin
PS_CLK33	K15

Real-time clock (RTC)端的 Clock 来源是 32.768MHz 的石英振荡器 X10。此 RTC Clock 连接到 Bank 503, 电压准位为 1.8V。

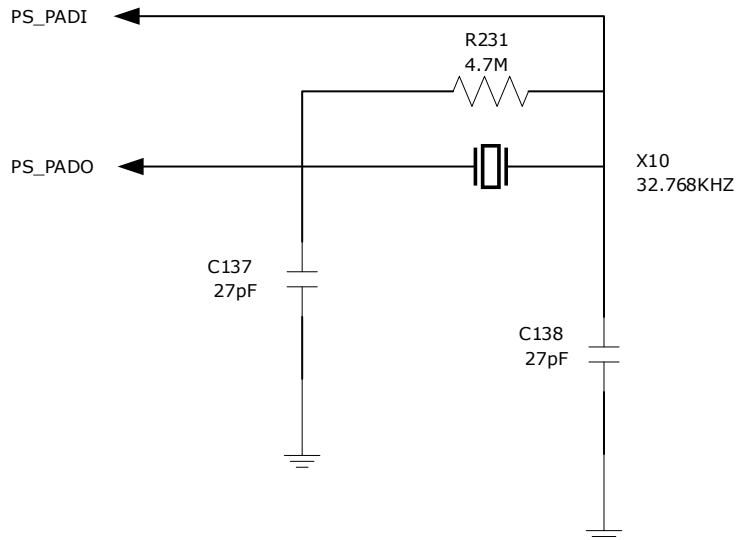


图 13 Real-Time Clock Source

表 15 Real-Time Clock Source 接脚

Schematic Net Name	FPGA Pin
PS_PADI	K17
PS_PADO	K19

2.7.2 Programmable Logic Clock Source

Programmable Logic (PL)端的 Clock 来源是 100MHz 的石英振荡器 OSC2。此 PL Clock 连接到 Bank 26, 电压准位为 1.8V。

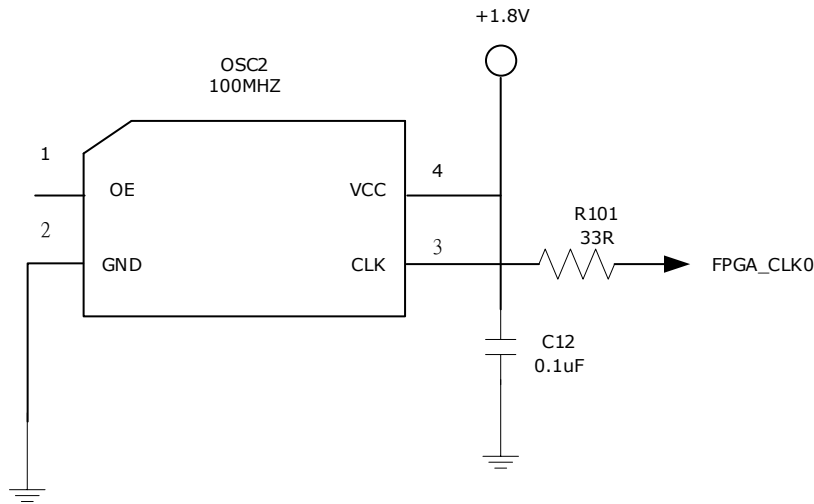


图 14 Programmable Logic Clock Source

表 16 Programmable Logic Clock Source 脚位

Schematic Net Name	FPGA Pin
FPGA_CLK0	F9

2.7.3 Programmable Frequency Clocks

EGO-MPSoC 3EG 提供一个 Silicon Labs SI5341B-B-GM, 产生任意输出频率, 藉由 PS_MIO16/17 经 Voltage-Level Translator (PCA9306DCTR) 将电压 1.8V 转 3.3V、透过 8-Channel I2C Switch (PCA9548ARGER) 选择 Channel 2 控制此芯片来设定输出频率。请参考 2.8 章节了解细项。

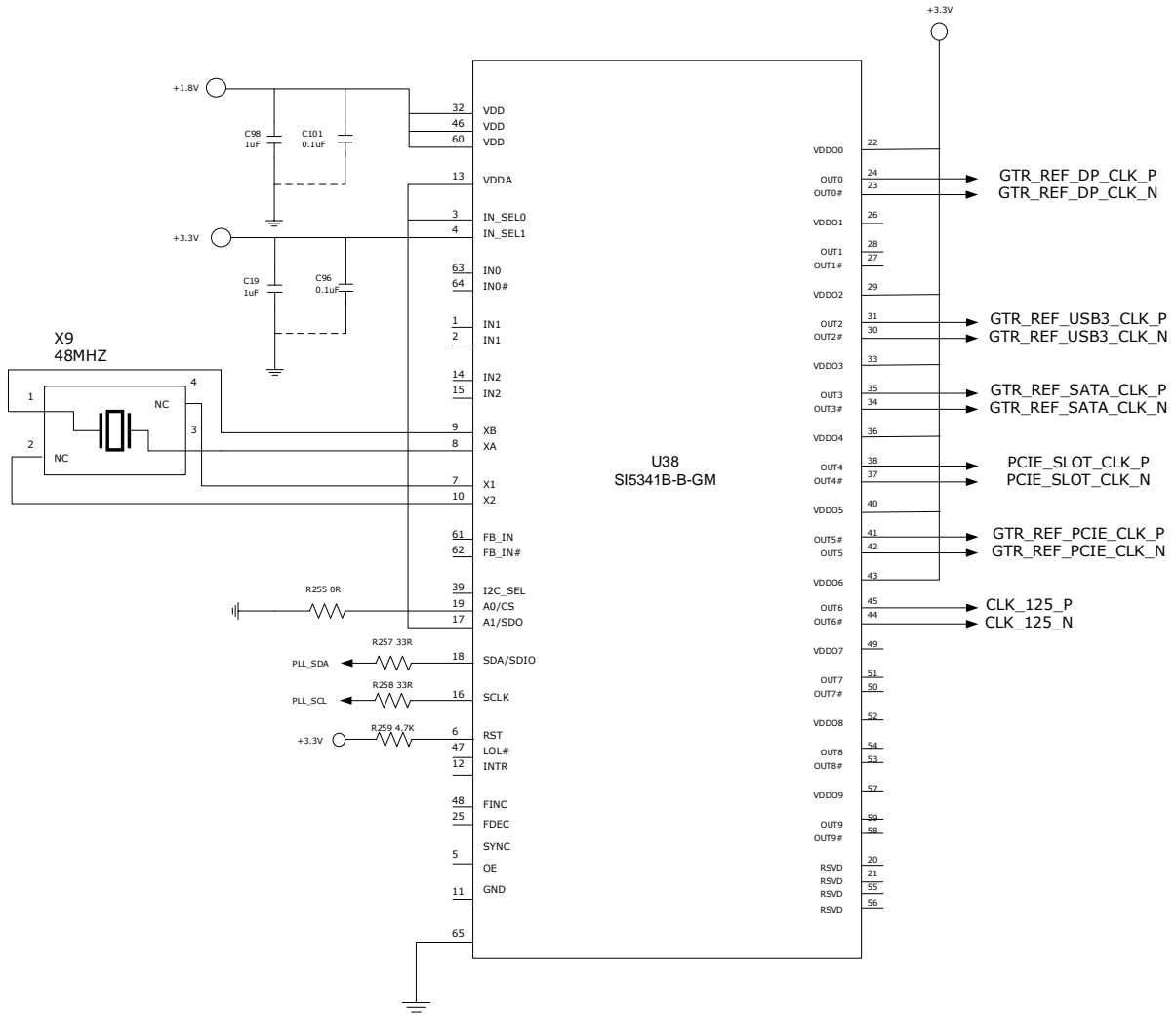


图 15 Programmable Frequency Clocks Source

表 17 Programmable Frequency Clocks Source 脚位

Schematic Net Name	SI5341B-B-GM(U38)		FPGA
	Pin Name	Pin Number	
PLL_SDA	PLL_SDA	18	V13(PS_MIO16)
PLL_SCL	PLL_SCL	16	AD11(PS_MIO17)
CLK_125_P	OUT6	45	D9
CLK_125_N	OUT6#	44	C9
GTR_REF_PCIE_CLK_P	OUT5	42	L22
GTR_REF_PCIE_CLK_N	OUT5#	41	L23
GTR_REF_SATA_CLK_P	OUT3	35	J22
GTR_REF_SATA_CLK_N	OUT3#	34	J23
GTR_REF_USB3_CLK_P	OUT2	31	G22
GTR_REF_USB3_CLK_N	OUT2#	30	G23

GTR_REF_DP_CLK_P	OUT0	24	E22
GTR_REF_DP_CLK_N	OUT0#	23	E23
PCIE_SLOT_CLK_P	OUT4	38	(1)
PCIE_SLOT_CLK_N	OUT4#	37	(1)

(1)PCIE 插槽参考频率, J1 连接器 A13、A14 脚

2.8 I2C (PS_MIO14~PS_MIO17)

EGO-MPSoC 3EG 提供两组由 PS 端控制的 I2C, I2C0(MIO14, MIO15)经过 Texas Instruments PCA9306DCTR Voltage-Level Translator 从 1.8V-to-3.3V 后可控制板上 HDMI IC (U15) 与 GTR multiplexer settings (U47)。

I2C address: U15 (0x39) ; U47(0x20)

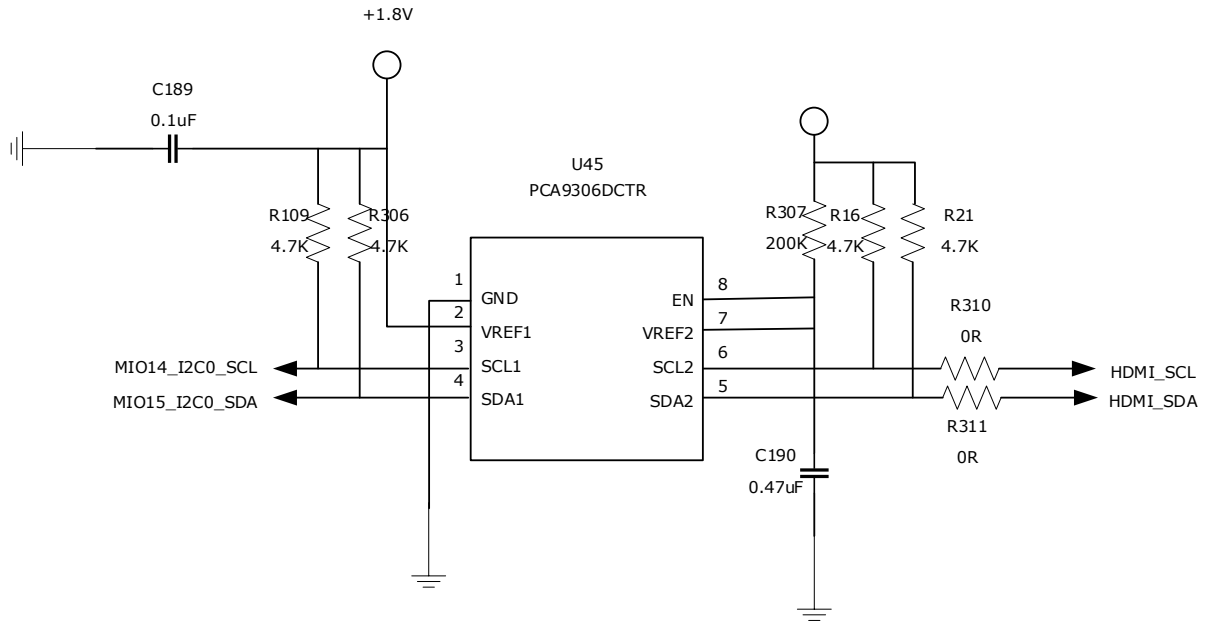


图 16 I2C0 Port 连接

表 18 I2C0 Port 连接脚位

Schematic Net Name	Voltage-Level Translator (U45)		Connected To		FPGA Pin
	Pin Number	Pin Name	Reference Designation	Pin Name	
MIO14_I2C0_SCL	3	SCL1			MIO_14
MIO15_I2C0_SDA	4	SDA1			MIO_15
	6	SCL2	U47/U15	I2C0_SCL/ HDMI_SCL	
	5	SDA2	U47/U15	I2C0_SDA/ HDMI_SDA	

I2C1(MIO16, MIO17) 经过 Voltage-Level Translator(PCA9306DCTR)从 1.8V-to-3.3V, 经由 8-Channel I2C Switch(Texas PCA9548ARGER)分别控制 Programmable Frequency Clocks、FMC I2C、Raspberry Pi GPIO I2C、7 段显示控制芯片 I2C 与 Audio 控制芯片 I2C。

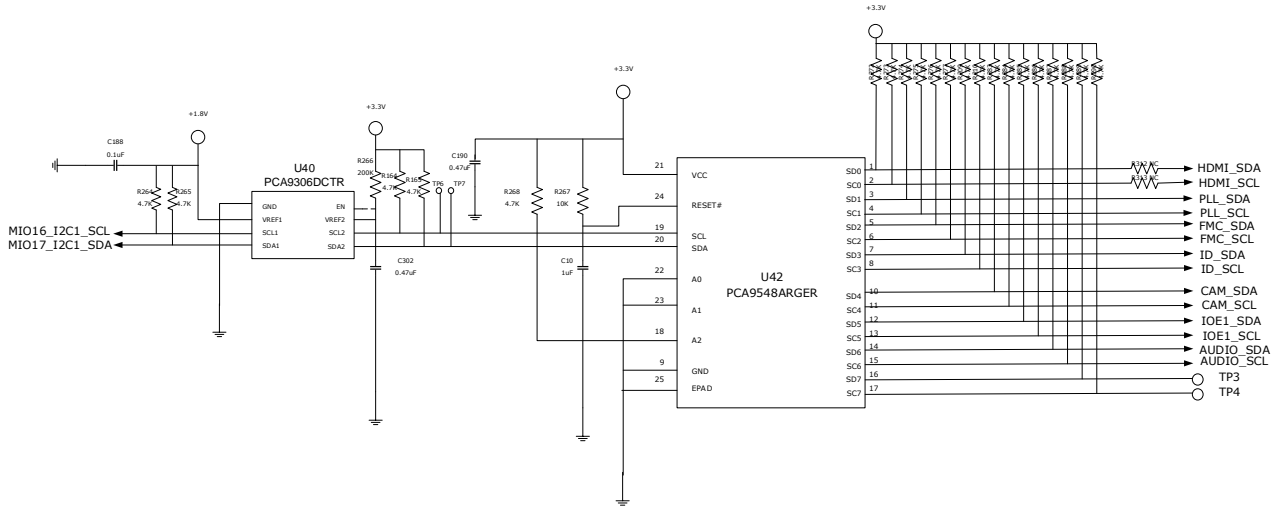


图 17 I2C1 Port 连接

表 19 I2C1 Port 连接脚位

Schematic Net Name	8-Channel I2C Switch (U42)		Connected To		FPGA Pin
	Pin Number	Pin Name	Reference Designation	Pin Name	
MIO16_I2C1_SCL	19	SCL			MIO_16
MIO17_I2C1_SDA	20	SDA			MIO_17
	1	SD0	-	-	
	2	SC0	-	-	
	3	SD1	U38	PLL_SDA	
	4	SC1	U38	PLL_SCL	
	5	SD2	J3	FMC_SDA	
	6	SC2	J3	FMC_SCL	
	7	SD3	JA2	ID_SDA	
	8	SC3	JA2	ID_SCL	
	10	SD4	-	-	
	11	SC4	-	-	
	12	SD5	U27	IOE_SDA	
	13	SC5	U27	IOE_SCL	
	14	SD6	U31	AUDIO_SDA	
	15	SC6	U31	AUDIO_SCL	
	16	SD7	-	TP3	
	17	SC7	-	TP4	

2.9 CAN (PS_MIO24~PS_MIO25)

EGO-MPSoC 3EG 提供一组由 2 x 4 根引脚所构成的 8 Pins CAN BUS Connector, PS 端的 CAN TX、RX(MIO24, MIO25)经过 TXS0104RGYR Voltage-Level Translator 从 1.8V-to-3.3V 与 TI

SN65HVD232DR CAN-bus transceiver 到 8 Pins Connector。此 PS CAN 连接到 Bank 500，电压准位为 1.8V。

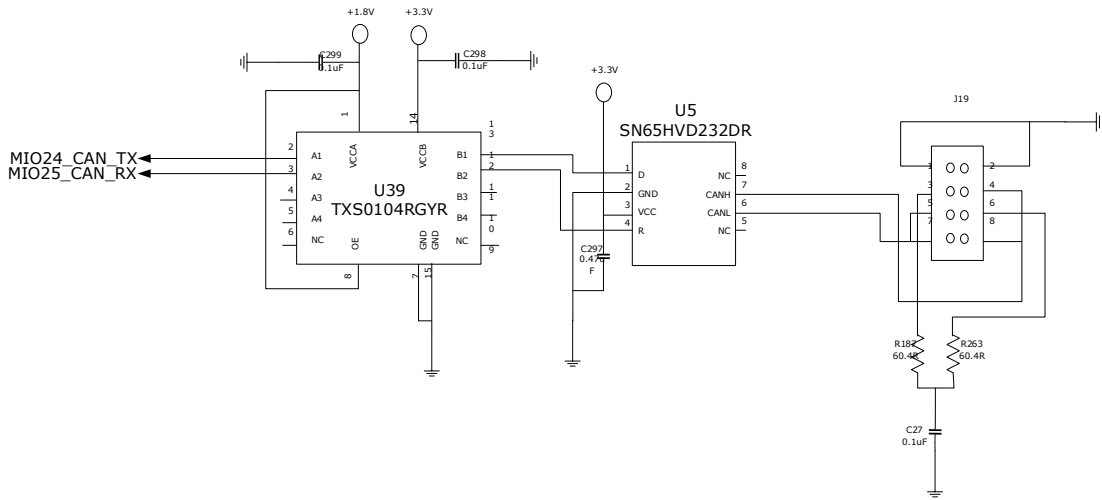


图 18 CAN BUS

表 20 CAN BUS 脚位

Schematic Net Name	Voltage-Level Translator (U39)		CAN-bus transceiver(U5)		FPGA Pin
	Pin Number	Pin Name	Pin Number	Pin Name	
MIO24_CAN_TX	2	A1			MIO_24
MIO25_CAN_RX	3	A2			MIO_25
	12	B2	4	R	
	13	B1	1	D	
			6	CANL	
			7	CANH	

2.10 DisplayPort AUX (PS_MIO27-PS_MIO30)

EGO-MPSoC 3EG 提供一个 VESA Display Port1.2 输出控制器，最多支持两个通道。DisplayPort 标准定义一个辅助信道讯号 DisplayPort AUX Channel(DPAUX)使用 LVDS 讯号。此 PS DPAUX 连接到 Bank 501，电压准位为 3.3V。

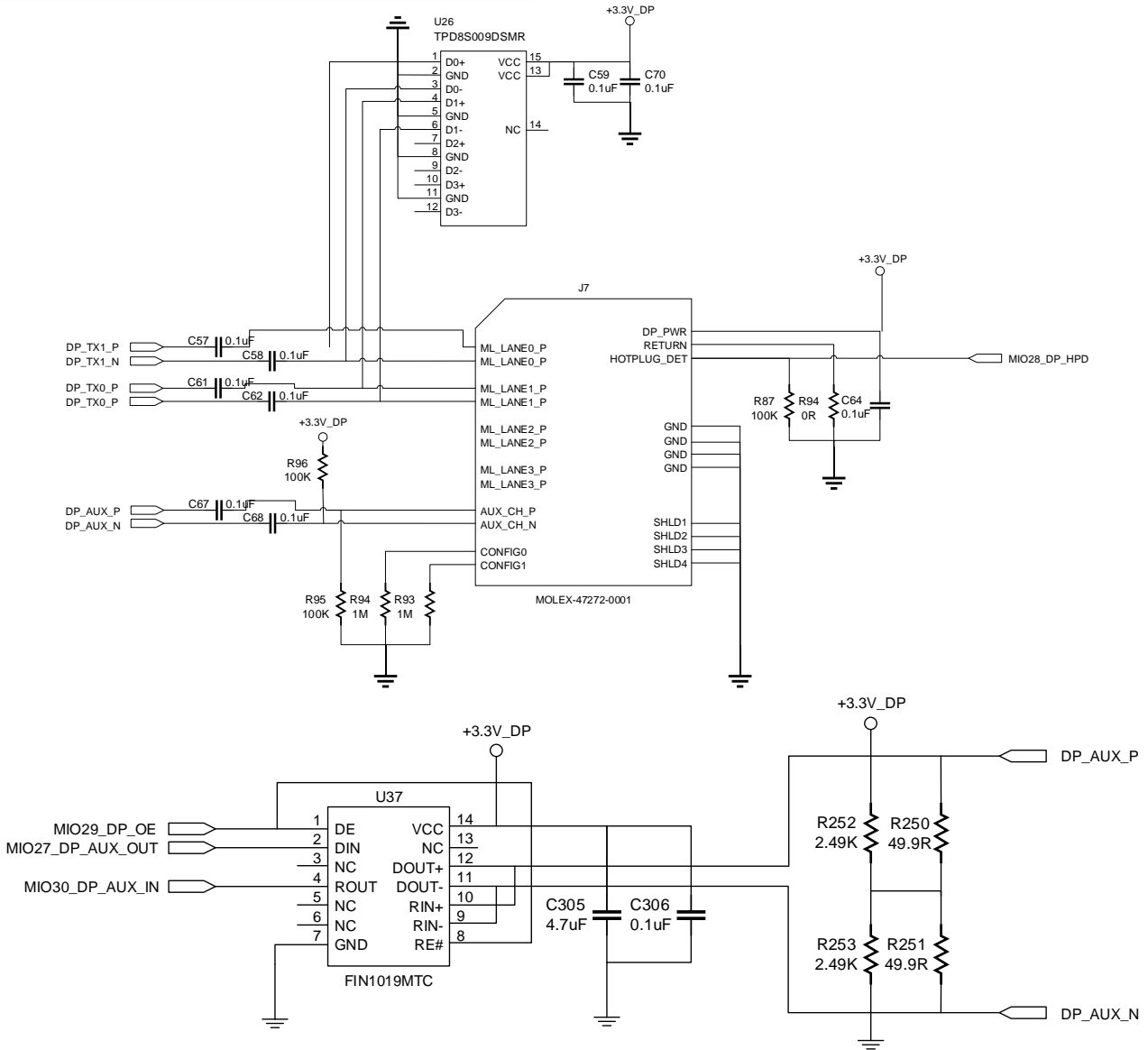


图 19 DPAUX

2.11 GEM3 Ethernet (PS_MIO64~PS_MIO77)

PS 端 Gigabit Ethernet MAC(GEM)实现 10/100/1000 Mb/s 网络接口，经由 Ethernet PHY (TI DP83867IRPAP) 连接至 RJ45 Ethernet connector。

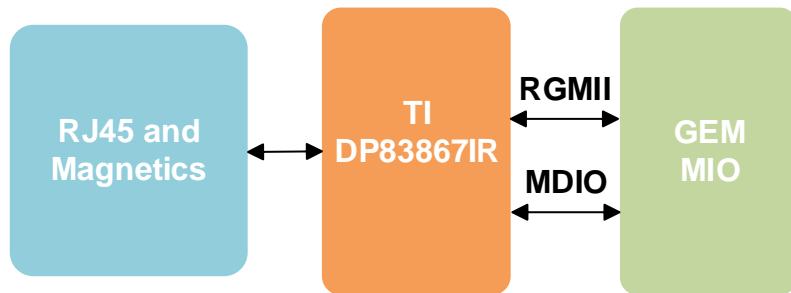
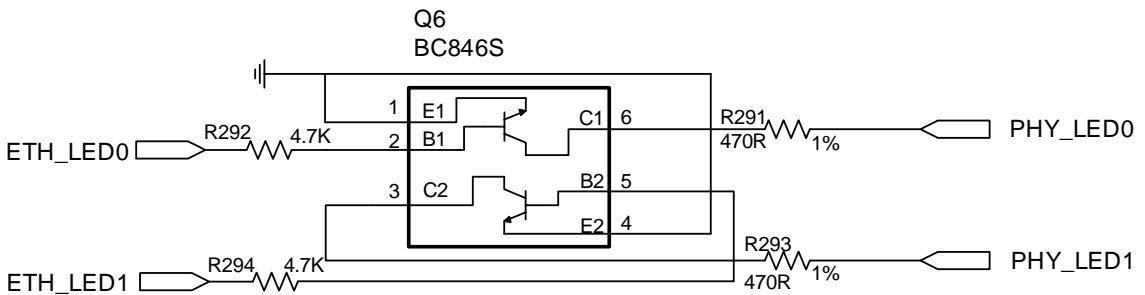
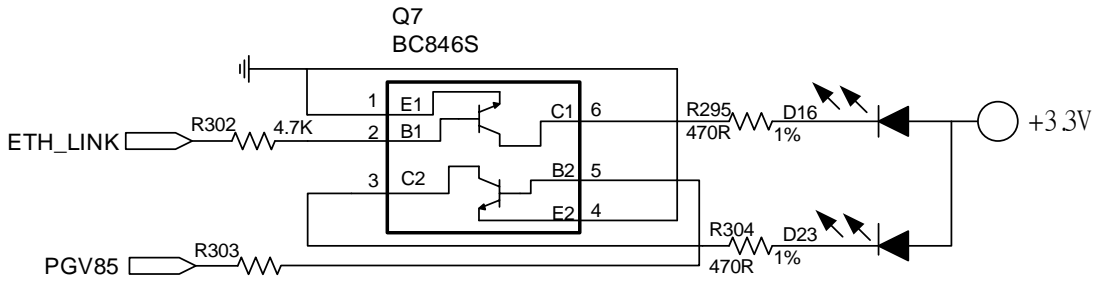
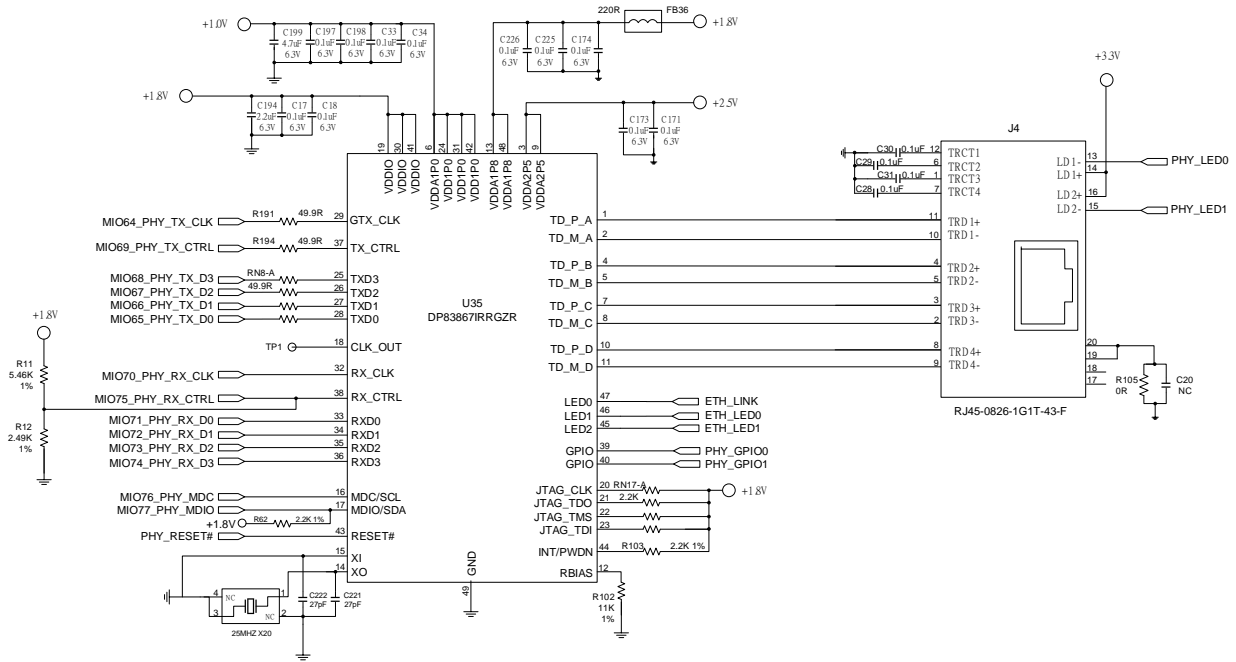


图 20 Ethernet 方块图

2.11.1 10/100/1000 MHz Tri-Speed Ethernet PHY

EGO-MPSoC 3EG 使用 DP83867IRRGZR 实现用于网络连接的 10/100/1000 以太网网络端口。RJ-45 有两个状态指示灯，指示流量和有效链路状态。此 PS PHY 连接到 Bank 502，电压准位为 1.8V。



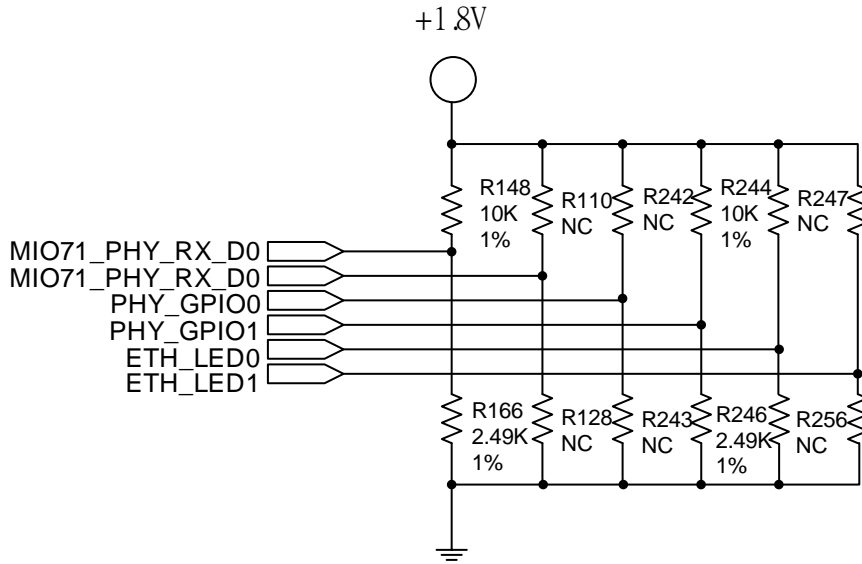


图 21 以太网接口

表 21 以太网接口引脚

Schematic Net Name	High Immunity 10/100/1000 Ethernet Physical Layer Transceiver(U35)		FPGA
	Pin Number	Pin Name	
MIO64_PHY_TX_CLK	29	TX_CLK	F18
MIO65_PHY_TX_D0	28	TXD0	A20
MIO66_PHY_TX_D1	27	TXD1	D19
MIO67_PHY_TX_D2	26	TXD2	H18
MIO68_PHY_TX_D3	25	TXD3	G18
MIO69_PHY_TX_CTRL	37	TX_CTRL	B20
MIO70_PHY_RX_CLK	32	RX_CLK	C20
MIO71_PHY_RX_D0	33	RXD0	E19
MIO72_PHY_RX_D1	34	RXD1	E20
MIO73_PHY_RX_D2	35	RXD2	F20
MIO74_PHY_RX_D3	36	RXD3	G20
MIO75_PHY_RX_CTRL	38	RX_CTRL	F19
MIO76_PHY_MDC	16	MDC	H20
MIO77_PHY_MDIO	17	MDIO	H19
PS_MIO18_ETH_RESET#	43	RESET#	AB12(*)

2.12 PS-Side: GTR Transceivers

EGO-MPSoC 3EG 提供四组 PS_GTR 供给 USB3.0、SATA、DisplayPort 与 PCIe Slot 使用，其中 USB3.0、SATA 与 DisplayPort 分别透过外部双向 2 对 1 信道开关芯片(Pericom PI2DBS6212)与 PCIe Slot 的做切换动作。

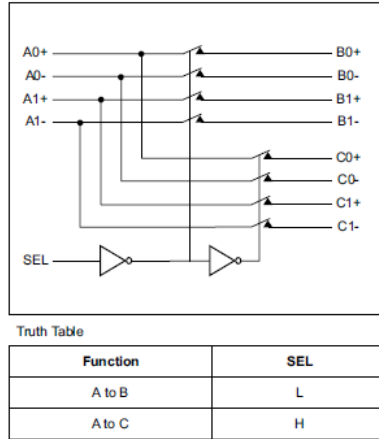


图 22 PI2DBS6212 控制原理

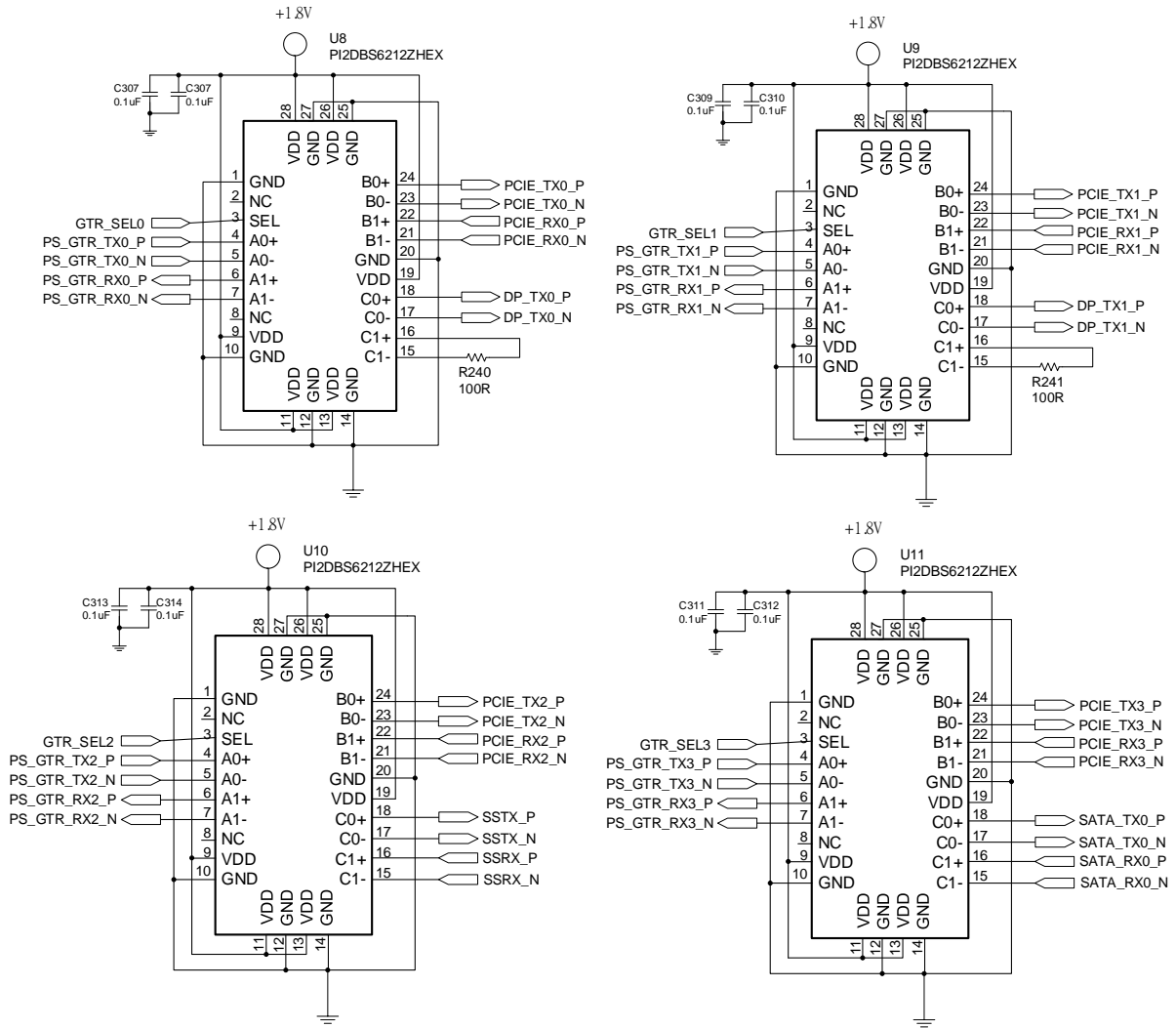


图 23 PI2DBS6212

表 22 PI2DBS6212 控制接脚

Schematic Net Name	2 Differential Channel Switch(U8)	Connector To	FPGA
--------------------	-----------------------------------	--------------	------

	Pin Number	Pin Name		
GTR_SELO	3	SEL	-	MIO14_I2C0_SCL MIO15_I2C0_SDA
PS_GTR_TX0_P	4	A0+	-	-
PS_GTR_TX0_N	5	A0-	-	-
PS_GTR_RX0_P	6	A1+	-	-
PS_GTR_RX0_N	7	A1-	-	-
	24	B0+	PCIE_TX0_P	-
	23	B0-	PCIE_TX0_N	-
	22	B1+	PCIE_RX0_P	-
	21	B1-	PCIE_RX0_N	-
	18	C0+	DP_TX0_P	-
	17	C0-	DP_TX0_N	-
Schematic Net Name	2 Differential Channel Switch(U9)		Connector To	FPGA
	Pin Number	Pin Name		
GTR_SEL1	3	SEL	-	MIO14_I2C0_SCL MIO15_I2C0_SDA
PS_GTR_TX1_P	4	A0+	-	-
PS_GTR_TX1_N	5	A0-	-	-
PS_GTR_RX1_P	6	A1+	-	-
PS_GTR_RX1_N	7	A1-	-	-
	24	B0+	PCIE_TX1_P	-
	23	B0-	PCIE_TX1_N	-
	22	B1+	PCIE_RX1_P	-
	21	B1-	PCIE_RX1_N	-
	18	C0+	DP_TX1_P	-
	17	C0-	DP_TX1_N	-
Schematic Net Name	2 Differential Channel Switch(U10)		Connector To	FPGA
	Pin Number	Pin Name		
GTR_SEL2	3	SEL	-	MIO14_I2C0_SCL MIO15_I2C0_SDA
PS_GTR_TX2_P	4	A0+	-	-
PS_GTR_TX2_N	5	A0-	-	-
PS_GTR_RX2_P	6	A1+	-	-
PS_GTR_RX2_N	7	A1-	-	-
	24	B0+	PCIE_TX2_P	-
	23	B0-	PCIE_TX2_N	-
	22	B1+	PCIE_RX2_P	-
	21	B1-	PCIE_RX2_N	-
	18	C0+	SSTX_P	-

	17	C0-	SSTX_N	-
	16	C1+	SSRX_P	-
	15	C1-	SSRX_N	-
Schematic Net Name	2 Differential Channel Switch(U11)		Connector To	FPGA
	Pin Number	Pin Name		
GTR_SEL2	3	SEL	-	MIO14_I2C0_SCL MIO15_I2C0_SDA
PS_GTR_TX3_P	4	A0+	-	-
PS_GTR_TX3_N	5	A0-	-	-
PS_GTR_RX3_P	6	A1+	-	-
PS_GTR_RX3_N	7	A1-	-	-
	24	B0+	PCIE_TX3_P	-
	23	B0-	PCIE_TX3_N	-
	22	B1+	PCIE_RX3_P	-
	21	B1-	PCIE_RX3_N	-
	18	C0+	SATA_TX0_P	-
	17	C0-	SATA_TX0_N	-
	16	C1+	SATA_RX0_P	-
	15	C1-	SATA_RX0_N	-

2.12.1 PCI Express Root Port Slot

EGO-MPSoC 3EG 提供四个通道 Peripheral Component Interconnect Express (PCIe) GEN2 Slot, PS 端 GTR 收发器可以藉由 I2C0(MIO_14, MIO_15)透过 4 个 2; 1 Mux/DeMux Switch 设置为 X1、X2 或 X4 通道。藉由 DIP 指拨开关(S4)进行 PCIe PRSNT select 选择 x1 或 x4。

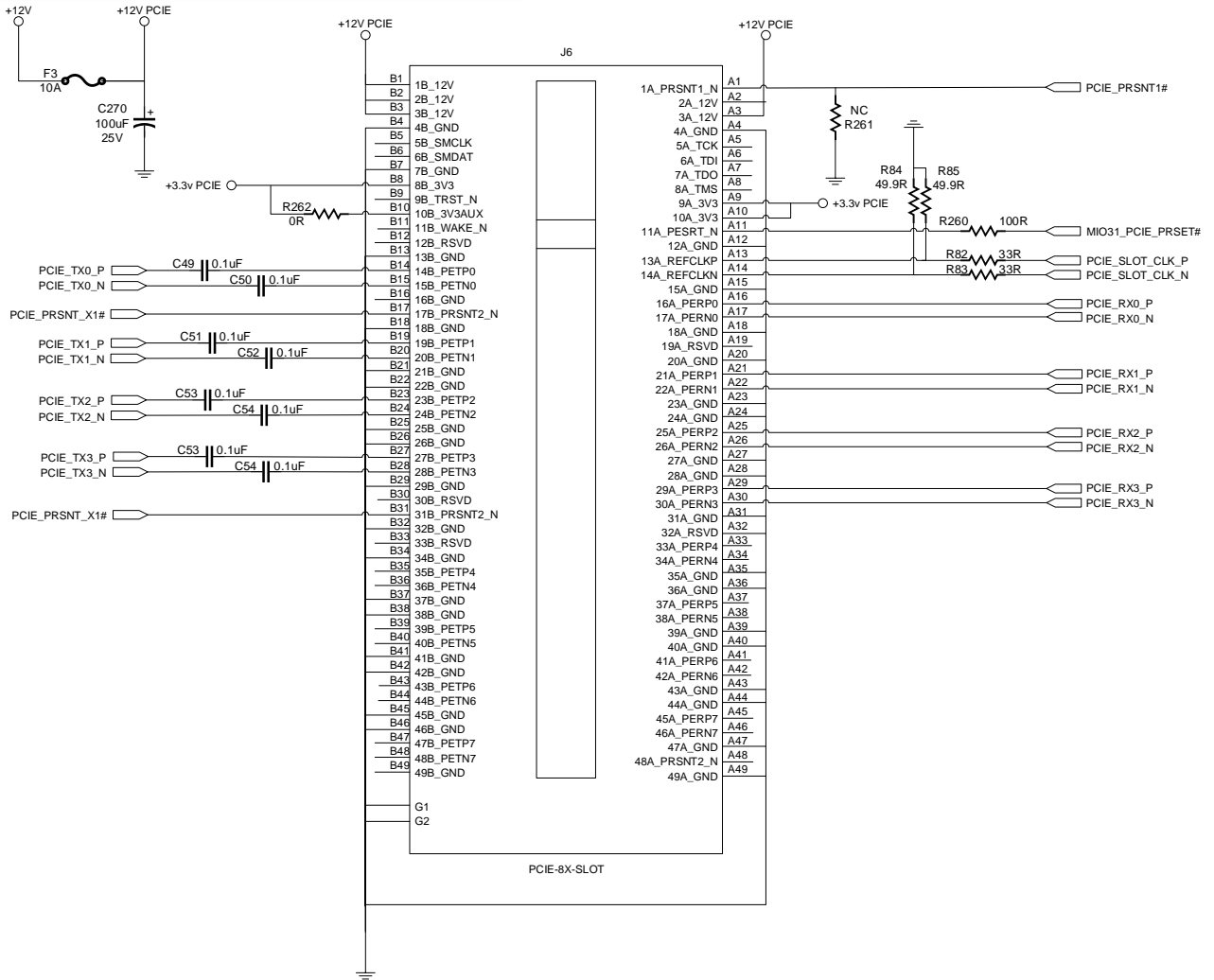


图 24 PCIe

表 23 PCIe 脚位

Schematic Net Name(J6)	FPGA Pin	PCIe PRSNT select(S4)
PCIE_TX0_P	K24	
PCIE_TX0_N	K25	
PCIE_PRSNT_X1#	-	PCIE_PRSNT1#
PCIE_TX1_P	F24	
PCIE_TX1_N	F25	
PCIE_TX2_P	C22	
PCIE_TX2_N	C23	
PCIE_TX3_P	A22	
PCIE_TX3_N	A23	
PCIE_PRSNT_X4#		PCIE_PRSNT1#
PCIE_PRSNT1#		PCIE_PRSNT_X1#/ PCIE_PRSNT_X4#
MIO31_PCIE_RESET#	C13(PS_MIO31)	
PCIE_SLOT_CLK_P	V13 (PS_MIO16),	
PCIE_SLOT_CLK_N	AD11 (PS_MIO17)	

PCIE_RX0_P	M24	
PCIE_RX0_N	M25	
PCIE_RX1_P	H24	
PCIE_RX1_N	H25	
PCIE_RX2_P	D24	
PCIE_RX2_N	D25	
PCIE_RX3_P	B24	
PCIE_RX3_N	B25	

2.13 Reset

EGO-MPSoC 3EG 提供以下 Reset Push buttons 给 XCZU3EG MPSoC, 位置如图 3 的 30:

- PS 端: S1, S2
- PL 端: S3

2.13.1 Programmable Logic Reset

PS_PROG_B Pushbutton(S3)按下时, 可对 XCZU3EG MPSoC PS_PROG_B 引脚接地。此操作清除可程序设计逻辑配置。更多的信息可以参考 *Zynq UltraScale+ MPSoC Technical Reference Manual (UG1085)[2]*

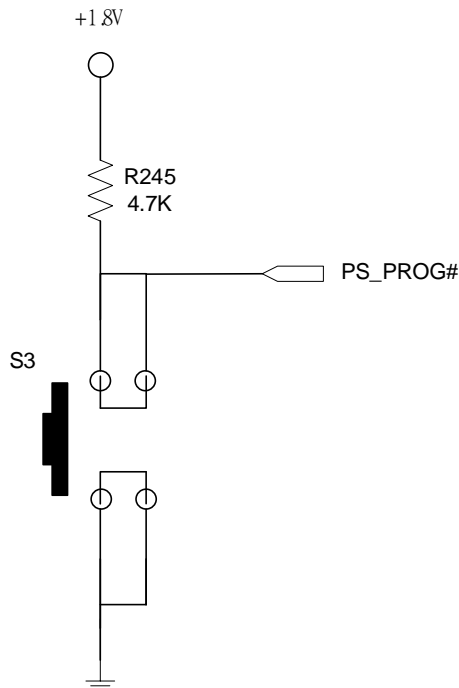


图 25 PS_PROG_B Pushbutton
表 24 PS_PROG_B Pushbutton 接脚

Schematic Net Name	FPGA Pin
PS_PROG#	M18

2.13.2 Processor Subsystem Reset

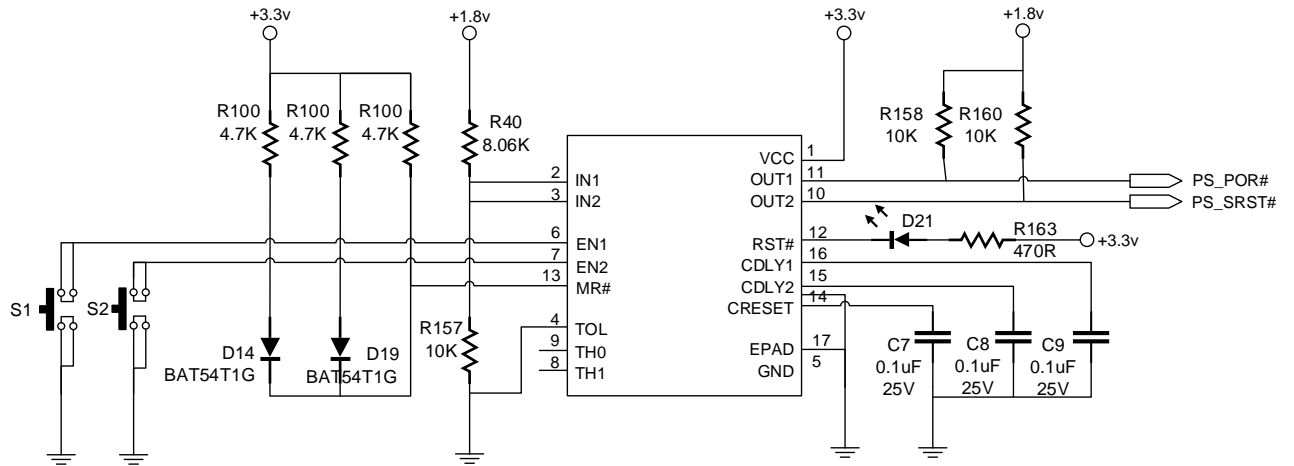


图 26 Processor Subsystem Reset

1) PS_POR_B Reset

Power on reset. PS_POR_B 必须保持为低电位，直到所有 PS 电源满足电压要求且 PS_CLK 参考值在规范范围内。当按下后放开 Push Button(S1)时，PS 开始启动过程。当 IN1 的电压低于其 threshold 或 EN1 (按下 S1 时)变为低电位时，OUT1(PS_POR_B) 变为低电位。

Schematic Net Name	FPGA Pin
PS_POR#	M20

2) PS_SRST_B Reset

System reset, 用于侦错时使用。当 PS_SRST_B 保持为低电位时，PS 强制进入系统复位程序。当 IN2 的电压低于其 threshold 或 EN2 (按下 S1 时)变为低电位时，OUT1 (PS_SRST_B)变为低电位。

Schematic Net Name	FPGA Pin
PS_SRST #	N20

2.14 用户 I/O

EGO-MPSoC 3EG 提供以下用户可用于一般应用的 I/O 资源，位置如图 3 的 [27282932](#)：

5 个用户按键：

- PL 端： S5, S6, S7, S8, S9

8 个使用者开关：

- PL 端： SW0, SW1, SW2, SW3, SW4, SW5, SW6, SW7

8 个用户 LED：

- PL 端： LED0, LED1, LED2, LED3, LED4, LED5, LED6, LED7

2 个七段显示器：

- PL 端： D1, D9

2.14.1 User Push Buttons

EGO-MPSoC 3EG 提供 5 个用户可自由使用的 PL 端按键。按键默认为 I/O 接地，按键 PL 端 I/O 输入 3.3V。

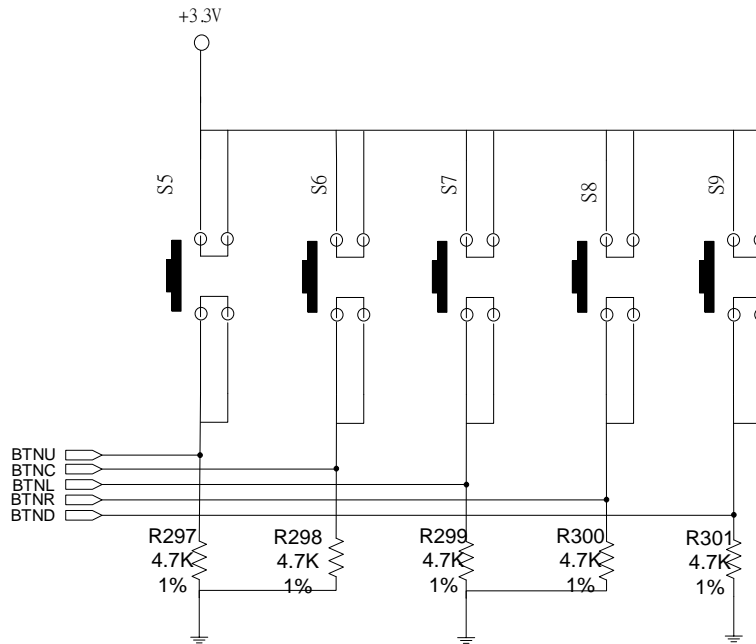


图 27 Push Buttons

表 25 Push Button 脚位

Schematic Net Name	FPGA Pin
S5(BTNU)	E12
S6(BTNC)	D12
S7(BTNL)	B12
S8(BTNR)	A12
S9(BTND)	B11

2.14.2 User Switch

EGO-MPSoC 3EG 提供 8 个使用者可自由使用的开关。每个开关经过 10KΩ 电阻连接到 PL 端 I/O，可以透过开关使 PL 端 I/O 输入 3.3V, 1.8V 或 GND。

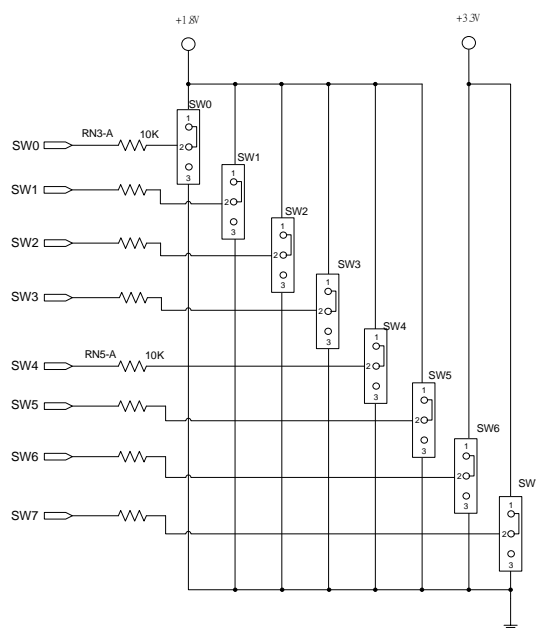


图 28 Switch

表 26 Switch 脚位

Schematic Net Name	FPGA Pin
SW0	AC1
SW1	V4
SW2	Y2
SW3	AA2
SW4	W3
SW5	W2
SW6	E11
SW7	E10

2.14.3 User LED

EGO-MPSoC 3EG 提供 8 个用户可自由使用的 LED。每个 LED 经过 470Ω 电阻连接到 PL 端 I/O，可以透过 PL 端 I/O 控制 LED 亮或灭

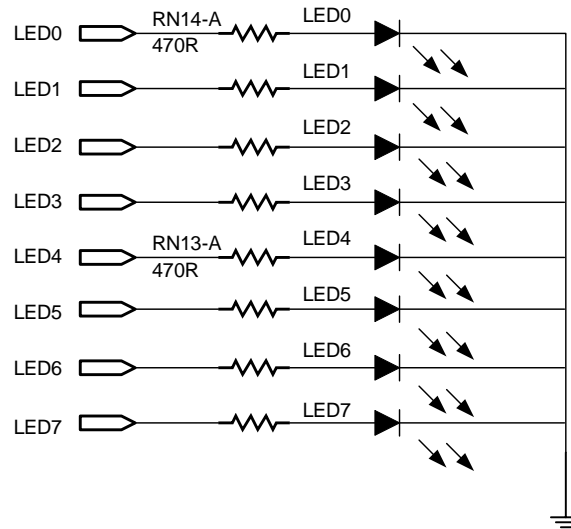


图 29 LED

表 27 LED 脚位

Schematic Net Name	FPGA Pin
LED0	H10
LED1	H9
LED2	G10
LED3	F10
LED4	H11
LED5	G11
LED6	G12
LED7	F12

2.14.4 七段显示器

EGO-MPSoC 3EG 提供 2 个可自由使用的共阴极七段显示器，藉由 PS_MIO16/17 经 Voltage-Level Translator (PCA9306DCTR) 将电压 1.8V 转至 3.3V、经由 8-Channel I2C Switch (PCA9548ARGER) 选择 Channel 6、再透过 I2C I/O Expander (TCA6416PW) 芯片控制个别七段显示器上的 Enable 与 LED 灯条亮或灭。

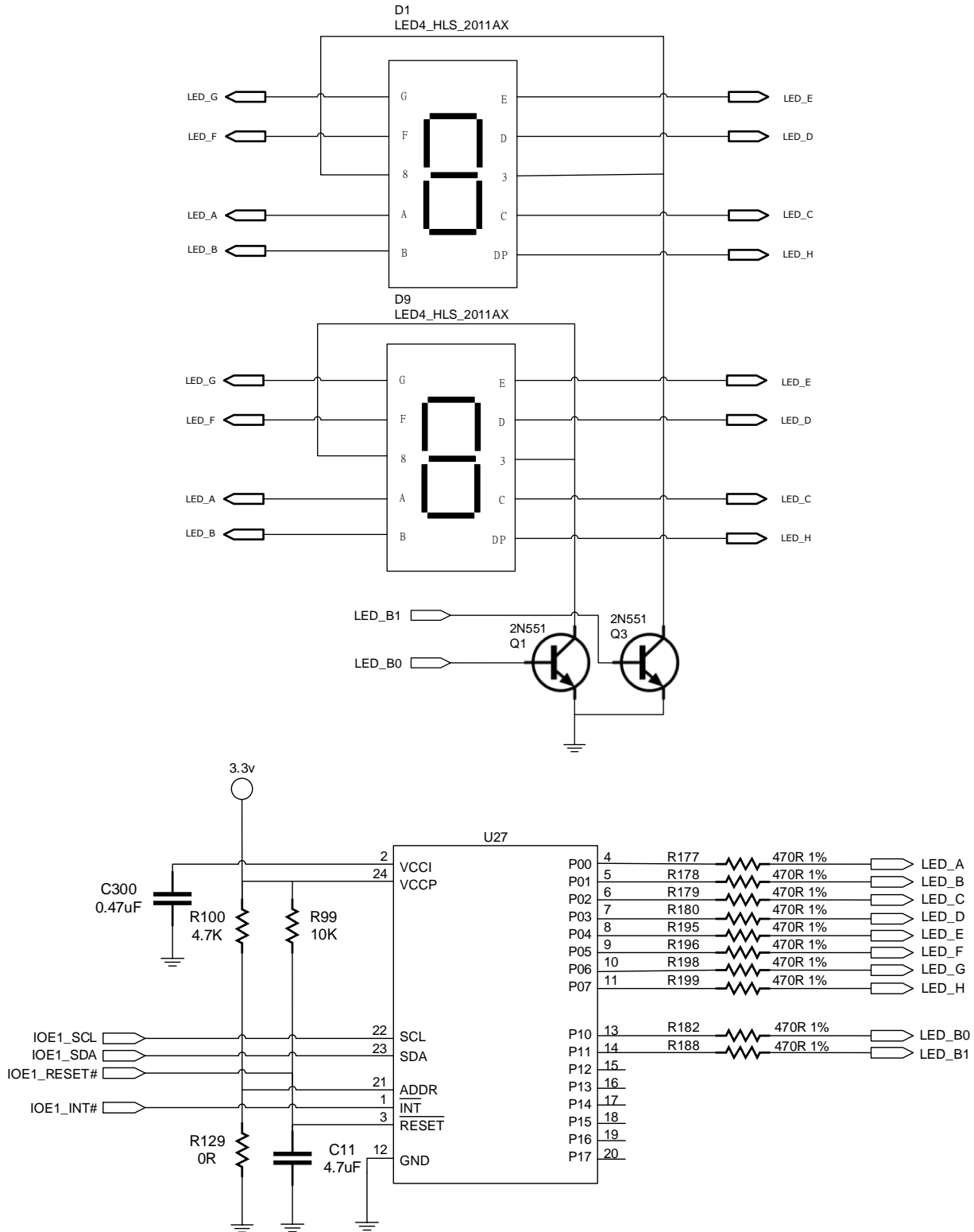


图 30 七段显示器控制器

表 28 七段显示器脚位

Schematic Net Name	I2C I/O Expander Chip (U27)		FPGA Pin
	Pin Number	Pin Name	
LEDA	4	P00	
LEDB	5	P01	
LEDC	6	P02	
LEDD	7	P03	
LEDE	8	P04	

LEDF	9	P05	
LEDG	10	P06	
LEDH	11	P07	
LEDB0(D9)	13	P10	
LEDB1(D1)	14	P11	
I2C_SCL	22	SCL	V13(PS_MIO16)
I2C_SDA	23	SDA	AD11(PS_MIO17)
IOE_INT#	1	INT#	B10
IOE_RESET#	3	RESET#	C11

2.15 扩展 I/O

EGO-MPSoC 3EG 提供以下可扩展 I/O 接口让用户使用, 位置如图 3 的: [92223242631](#)

- low-pin count (LPC) FMC Connector: J3
- PS_GPIO Connector: J14、J21
- CAN Connector: J19
- Zynq UltraScale+ Dedicated Pins Connector: J20
- PCIe Slot: J6
- Raspberry Pi GPIO interface: JA2

2.15.1 LPC FMC Connector

EGO-MPSoC 3EG 提供 1 个 low-pin count (LPC) FPGA Mezzanine Card (FMC)接口, 使用 40 x 4 根引脚所构成高达 160 Pins 的 Connector, 由 68 个单端 I/O 组成 34 组差分对(differential pairs), FMC 界面跨越两个 PL I/O Bank 65 与 66。接口提供了 12V 与 3.3V 电压。由 DIP 指拨开关(S12)来调整 FMC_GA0 与 FMC_GA1 电压为 VADJ(1.8V)或接地。

表 29 FMC 脚位

FMC Connector(J3-A)		Schematic Net Name	FPGA Pin	FMC Connector(J3-B)		Schematic Net Name	FPGA Pin
Pin Number	Pin Name			Pin Number	Pin Name		
C2		NC	-	D1	PG_C2M	+1.8V	-
C3		NC	-	D4		NC	-
C6		NC	-	D5		NC	-
C7		NC	-	D8	LA01_P_CC	FMC_LA01_CC_P	E6
C10	LA06_P	FMC_LA06_P	G2	D9	LA01_N_CC	FMC_LA01_CC_N	E5
C11	LA06_N	FMC_LA06_N	F2	D11	LA05_P	FMC_LA05_P	G3
C14	LA10_P	FMC_LA10_P	D2	D12	LA05_N	FMC_LA05_N	F3
C15	LA10_N	FMC_LA10_N	D1	D14	LA09_P	FMC_LA09_P	A3
C18	LA14_P	FMC_LA10_P	H6	D15	LA09_N	FMC_LA09_N	A2
C19	LA14_N	FMC_LA10_N	G6	D17	LA13_P	FMC_LA13_P	G8
C22	LA18_P_CC	FMC_LA18_CC_	R6	D18	LA13_N	FMC_LA13_N	F8

		P					
C23	LA18_N_CC	FMC_LA18_CC_N	R5	D20	LA17_P_CC	FMC_LA17_CC_P	P4
C26	LA27_P	FMC_LA27_P	U3	D21	LA17_N_CC	FMC_LA17_CC_N	R4
C27	LA27_N	FMC_LA27_N	V3	D23	LA23_P	FMC_LA23_P	B7
C30	SCL	FMC_SCL	V13	D24	LA23_N	FMC_LA23_N	A7
C31	SDA	FMC_SDA	AD11	D26	LA26_P	FMC_LA26_P	N1
C34	GA0	FMC_GA0	-	D27	LA26_N	FMC_LA26_N	P1
C35	12P0V	+12V_FMC	-	D29	TCK	NC	-
C37	12P0V	+12V_FMC	-	D30	TDI	NC	-
C39	3P3V	+3.3V_FMC	-	D31	TDO	NC	-
				D32	3P3VAUX	+3.3V_FMC	-
				D33	TMS	NC	-
				D34	TRST_L	NC	-
				D35	GA1	FMC_GA1	-
				D36	3P3V	+3.3V_FMC	-
				D38	3P3V	+3.3V_FMC	-
				D40	3P3V	+3.3V_FMC	-
FMC Connector(J3-C)				FMC Connector(J3-D)			
Pin Number	Pin Name	Schematic Net Name	FPGA Pin	Pin Number	Pin Name	Schematic Net Name	FPGA Pin
G2	CLK1_M2C_P	FMC_CLK1_P	D7	H1	VREF_A_M2C	FMC_VREF	-
G3	CLK1_M2C_N	FMC_CLK1_N	D6	H2	PRSET_M2C_L	FMC_PRSET	-
G6	LA00_P_CC	FMC_LA00_CC_P	C4	H4	CLK0_M2C_P	FMC_CLK0_P	G5
G7	LA00_N_CC	FMC_LA00_CC_N	C3	H5	CLK0_M2C_N	FMC_CLK0_N	F5
G9	LA03_P	FMC_LA03_P	F4	H7	LA02_P	FMC_LA02_P	H1
G10	LA03_N	FMC_LA03_N	E4	H8	LA02_N	FMC_LA02_N	G1
G12	LA08_P	FMC_LA08_P	C1	H10	LA04_P	FMC_LA04_P	E2
G13	LA08_N	FMC_LA08_N	B1	H11	LA04_N	FMC_LA04_N	E1
G15	LA12_P	FMC_LA12_P	D4	H13	LA07_P	FMC_LA07_P	H4
G16	LA12_N	FMC_LA12_N	D3	H14	LA07_N	FMC_LA07_N	H3
G18	LA16_P	FMC_LA16_P	A6	H16	LA11_P	FMC_LA11_P	B3
G19	LA16_N	FMC_LA16_N	A5	H17	LA11_N	FMC_LA11_N	B2
G21	LA20_P	FMC_LA20_P	C5	H19	LA15_P	FMC_LA15_P	G7
G22	LA20_N	FMC_LA20_N	B5	H20	LA15_N	FMC_LA15_N	F7
G24	LA22_P	FMC_LA22_P	C6	H22	LA19_P	FMC_LA19_P	C8

G25	LA22_N	FMC_LA22_N	B6	H23	LA19_N	FMC_LA19_N	B8
G27	LA25_P	FMC_LA25_P	U1	H25	LA21_P	FMC_LA21_P	A9
G28	LA25_N	FMC_LA25_N	V1	H26	LA21_N	FMC_LA21_N	A8
G30	LA29_P	FMC_LA29_P	T3	H28	LA24_P	FMC_LA24_P	R2
G31	LA29_N	FMC_LA29_N	U3	H29	LA24_N	FMC_LA24_N	R1
G33	LA31_P	FMC_LA31_P	R7	H31	LA28_P	FMC_LA28_P	P3
G34	LA31_N	FMC_LA31_N	T7	H32	LA28_N	FMC_LA28_N	P2
G36	LA33_P	FMC_LA33_P	P7	H34	LA30_P	FMC_LA30_P	U6
G37	LA33_N	FMC_LA33_N	P6	H35	LA30_N	FMC_LA30_N	U5
G39	VADJ	VADJ	-	H37	LA32_P	FMC_LA32_P	T5
				H38	LA32_N	FMC_LA32_N	T4
				H40	VADJ	VADJ	-

2.15.2 PS_GPIO Connector

EGO-MPSoC 3EG 提供两组由 2 x 6 根引脚所构成的 12 Pins Connector, 分别有 16 个 PS_MIO(PS_MIO13,PS_MIO18~PS_MIO23,PS_MIO26,PS_MIO36~PS_MIO43)、I2C0 (MIO14, MIO15)与 USB_Reset (PS_MIO13) ETH_Reset (PS_MIO18)。

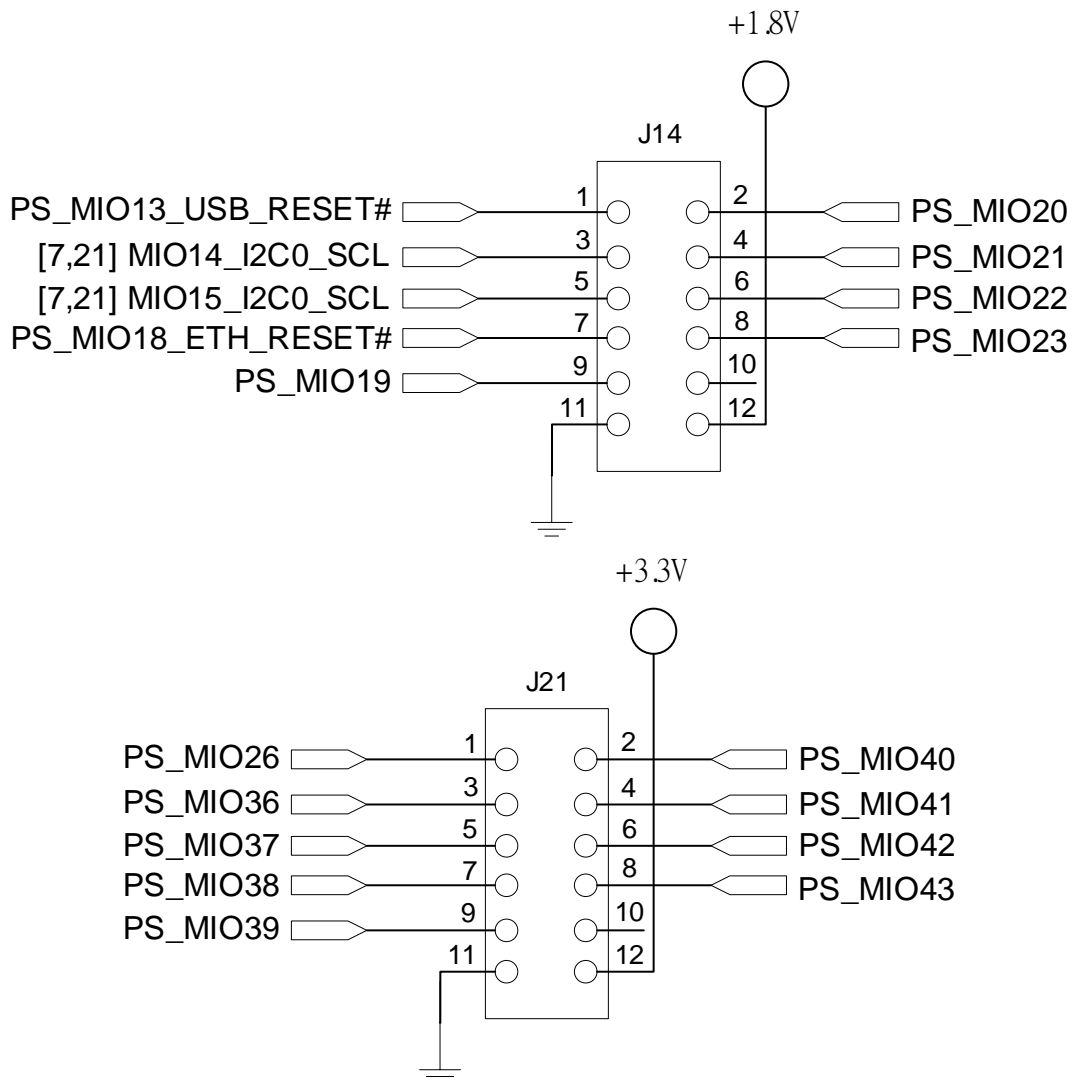


图 31 PS_MIO

表 30 PS_MIO 脚位

Schematic Net Name(J14)	FPGA Pin
PS_MIO13_USB_RESET#	Y12
MIO14_I2C0_SCL	AC11
MIO15_I2C0_SDA	W13
PS_MIO18_RTH_RESET#	AB12
PS_MIO19	AE11
PS_MIO20	AA12
PS_MIO21	AD12
PS_MIO22	W14
PS_MIO23	V14
(J21)	
PS_MIO26	H13
PS_MIO36	D14
PS_MIO37	H15
PS_MIO38	C14
PS_MIO39	A14
PS_MIO40	G15
PS_MIO41	A15
PS_MIO42	F15
PS_MIO43	B15

2.15.3 Zynq UltraScale+ Dedicated Pins Connector

EGO-MPSoC 3EG 提供一组由 1 x 6 根引脚所构成的 6 Pins Connector, 拥有 2 组 Zynq UltraScale+ 专用 Pin 脚(VP,VN,DXN,DXP), 更多的 Pin 脚信息可以参考 *Zynq UltraScale+ Device Packaging and Pinouts(UG1075)*[3]。

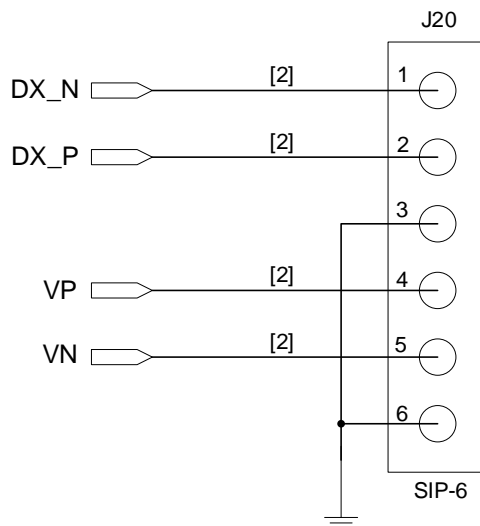


图 32 Zynq UltraScale+ Dedicated Pins

表 31 Zynq UltraScale+ Dedicated Pins 脚位

Schematic Net Name(J20)	FPGA Pin
DX_N	R12
DX_P	R13
VP	N12
VN	N13

2.15.4 Raspberry Pi GPIO interface

EGO-MPSoC 3EG 提供一组与 Raspberry Pi 平台兼容的扩展接口，由 2 x 20 根引脚所构成的 40 Pins Connector，提供有 28 根 I/O 引脚给使用者使用，可用于连接 I2C、SPI、UART 与 GPIO 接口，与 Raspberry Pi 周边的模块结合。

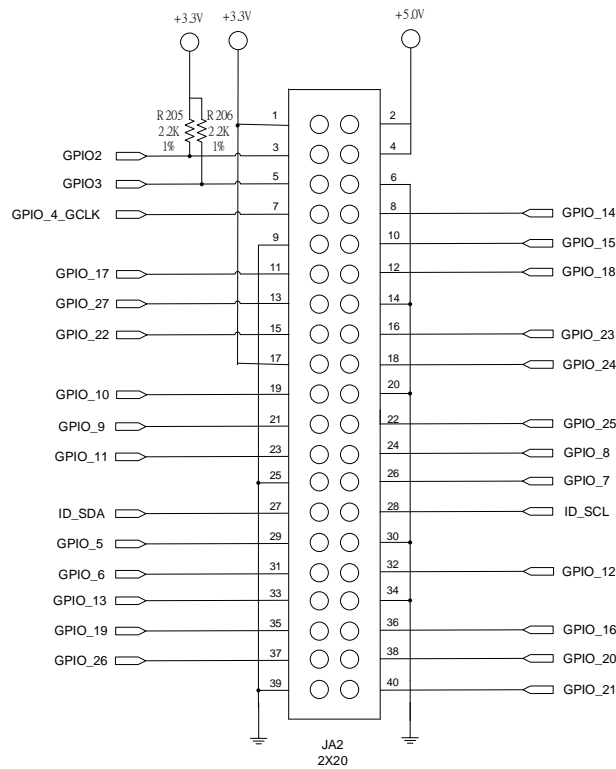


图 33 Raspberry Pi GPIO

表 32 Raspberry Pi GPIO 脚位

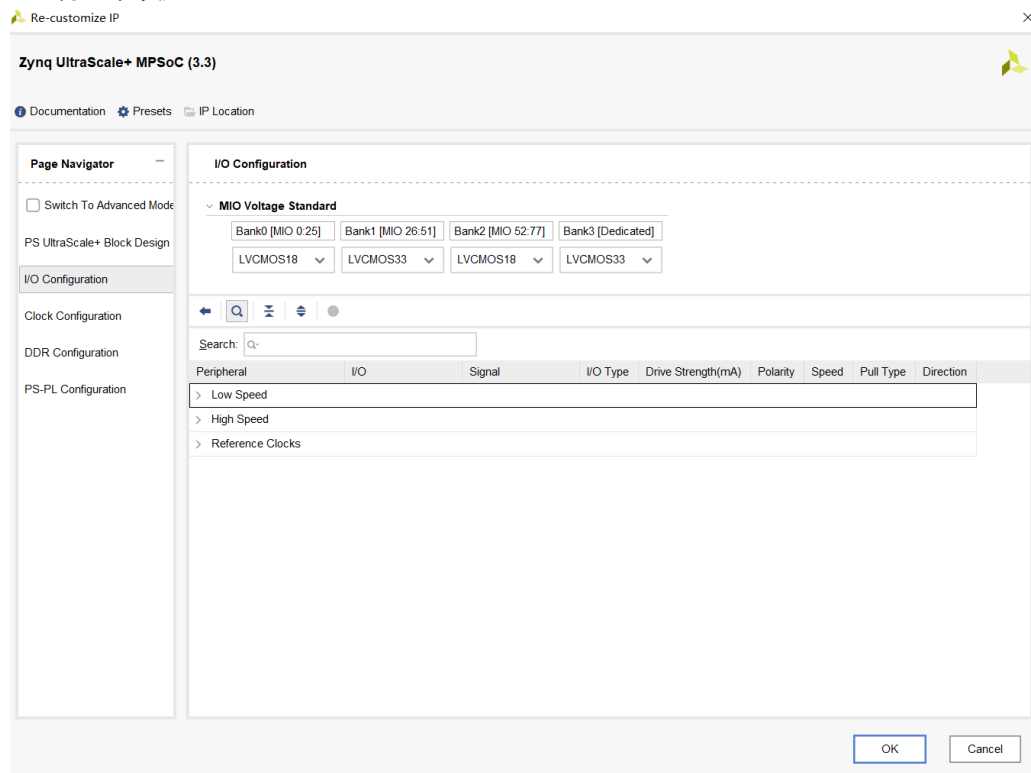
Schematic Net Name	FPGA Pin
GPIO2	AC5
GPIO3	V5
GPIO_4_GCLK	Y5
GPIO_17	AC3
GPIO_27	AE3
GPIO_22	AD4
GPIO_10	AB7
GPIO_9	AB8
GPIO_11	W8
ID_SDA	V13
GPIO_5	AA9

GPIO_6	AA8
GPIO_13	AA5
GPIO_19	AC4
GPIO_26	AE4
GPIO_14	W6
GPIO_15	Y6
GPIO_18	AB5
GPIO_23	AD3
GPIO_24	AD1
GPIO_25	AE1
GPIO_8	AA7
GPIO_7	Y7
ID_SCL	AD11
GPIO_12	Y7
GPIO_16	AB3
GPIO_20	AD2
GPIO_21	AE2

2.16 Power

EGO-MPSOC 使用外接 12V 直流电源供电，开关 S13 为整个平台的电源开关。上电后，电源指示灯 D20、D22 点亮。

PS 端电平设定：



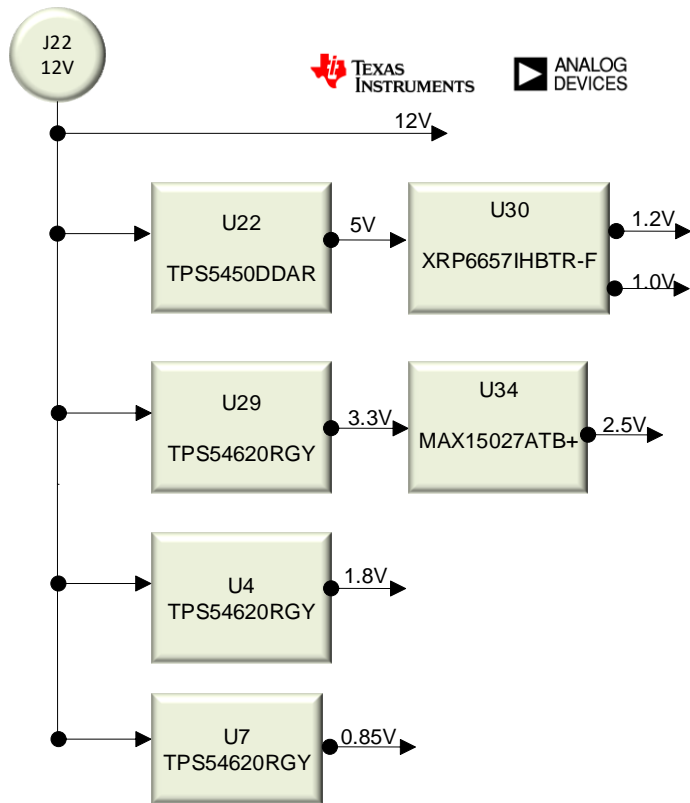


图 34 power

3.板上状态指示灯功能说明

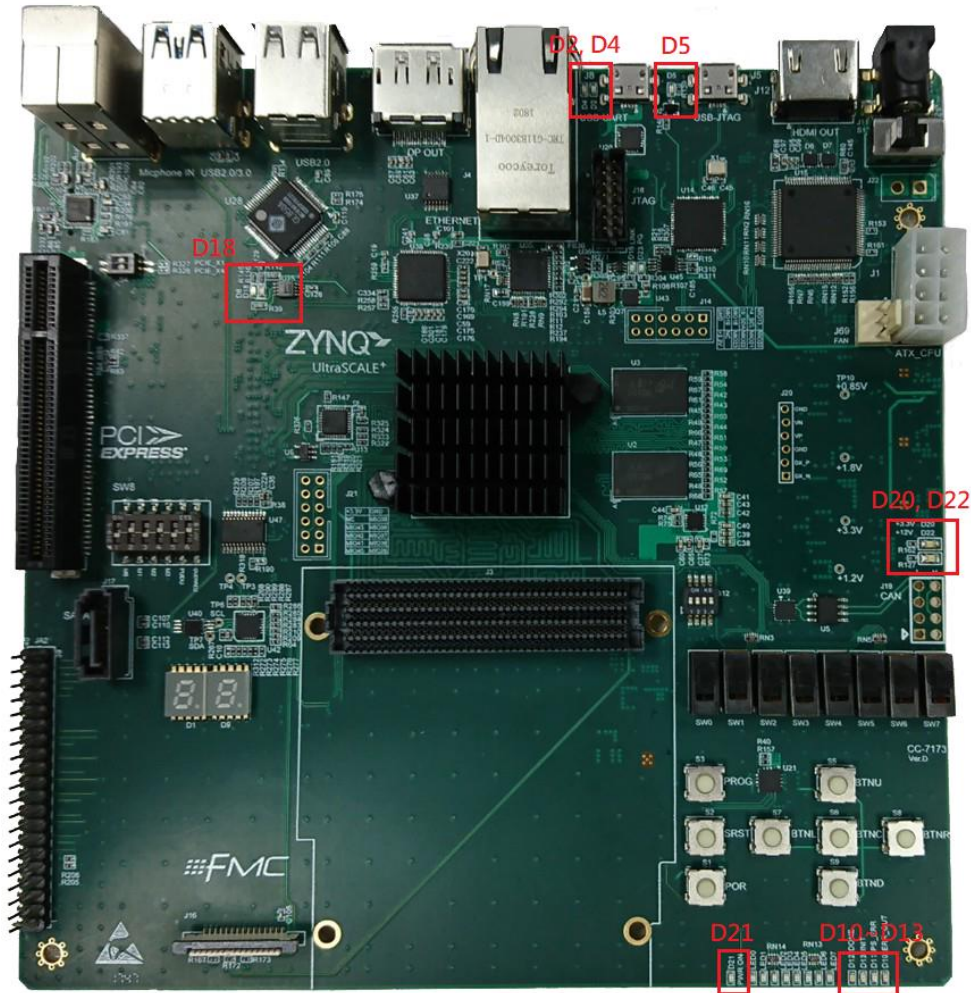


图 35 板上状态指示灯位置

表 33 板上状态指示灯功能详述

LED	Function Description
D2	the device is in the USB Suspend or not
D4	the device is in the USB Suspend or not
D5	FPGA Configuration status
D18	the device is in the USB Suspend or not.
D20	3.3V Power Good
D22	12V Power Good
D10	PS error indication
D11	PS error status.
D12	FPGA Configuration
D13	Initialization completion indicator after POR. High voltage indicates completion of initialization (PL)
D21	PS Reset status

4.参考数据

- [1] Zynq UltraScale+ MPSoC Data Sheet: Overview ([DS891](#))
- [2] Zynq UltraScale+ MPSoC Technical Reference Manual ([UG1085](#))
- [3] Zynq UltraScale+ Device Packaging and Pinouts([UG1075](#))
- [4] SI5341B data sheet(<https://www.silabs.com/support/resources?query=SI5341B-B-GM-ND>)
- [5] CP2105 data sheet(<https://www.silabs.com/documents/public/data-sheets/CP2105.pdf>)